راهنمای استفاده از نرم افزار ISE

بر اساس نسخه ISE 14.5

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار ISE متعلق به شرکت Xilinx تهیه شده است.

کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ۸

فصل ۲: مرور کلی نرم‌افزار ۱۰

۲-۱- واسط هدایتگر ISE ۱۱

۲-۲- قاب طراحی ۱۲

۲-۳- فایل پروژه در ISE ۱۳

فصل ۳: مراحل نصب ۱۵

فصل ٤: طراحی بر اساس HDL ۲۳

٤-۱- باز کردن ISE ۲٤

٤-۲- ساخت پروژه جدید ۲٤

٤-۳- اضافه کردن فایل طراحی به پروژه ۲۸

٤-٤- عملیات سنتز ۳۲

فصل ۵: طراحی بر اساس شماتیک ۳۷

فصل ٦: شبیه سازی رفتاری ٤۳

٦-۱- شبیه سازی با ISim ٤٤

٦-۲- شبیه‌سازی با Modelsim ٤٦

فصل ۷: پیاده‌سازی ۵٤

۷-۱- تخصیص پایه ۵٦

۷-۲- برنامه‌ریزی برد ۵۹

www.ICEEP.ir

واژه‌نامه ٦٣

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲ ۱) واسط هدایتگر ISE ۱۲

شکل (۳ ۱) پنجره اولیه برای نصب نرم‌افزار ۱۸

شکل (۳ ۲) پنجره مربوط به به قوانین و مقررات شرکت Xilinx (۱) ۱۹

شکل (۳ ۳) پنجره مربوط به به قوانین و مقررات شرکت Xilinx (۲) ۱۹

شکل (۳ ٤) انتخاب گزینه نصب ۲۰

شکل (۳ ٥) انتخاب گزینه‌های نصب ۲۱

شکل (۳ ٦) مشخصات مسیر نصب ۲۲

شکل (٤ ۱) آیکون هدایتگر پروژه ۲٤

شکل (٤ ۲) پنجره اولیه ساخت پروژه‌ی جدید ۲٦

شکل (٤ ۳) پنجره‌ی تنظیمات پروژه ۲۷

شکل (٤ ٤) خلاصه‌ی تنظیمات پروژه ۲۸

شکل (٤ ٥) اضافه کردن منبع جدید یا موجود ۲۹

شکل (٤ ٦) تعیین ورودی‌ها و خروجی‌های مدار ۳۰

شکل (٤ ۷) خلاصه مشخصات منبع اضافه شده ۳۱

شکل (٤ ۸) قالب فایل Verilog ۳۲

شکل (٤ ۹) نمای RTL واحد اصلی ۳۳

شکل (٤ ۱۰) نمای RTL با جزئیات ۳٤

www.ICEEP.ir

شکل (٤ ١١) ویژگی‌های طراحی در RTL View ٣٥
شکل (٤ ١٢) شمای خلاصه طراحی و گزارش‌ها ٣٦
شکل (٥ ١) ایجاد پروژه شماتیک ٣٨
شکل (٥ ٢) پنجره‌ی طراحی شماتیک ٣٩
شکل (٥ ٣) انتخاب المان‌ها از کتابخانه‌ها ٤٠
شکل (٥ ٤) تعیین ورودی‌ه و خروجی‌ها ٤١
شکل (٥ ٥) شماتیک نهایی جمع‌کننده ٤٢
شکل (٦ ١) محیط ISim ٤٥
شکل (٦ ٢) انتخاب ویژگی‌ها ٤٧
شکل (٦ ٣) انتخاب تنظیمات سیستم ٤٧
شکل (٦ ٤) متغیرهای محیط ٤٨
شکل (٦ ٥) تنظیم متغیر Path ٤٩
شکل (٦ ٦) انتخاب شبیه‌ساز ٥٠
شکل (٦ ٧) معرفی Modelsim به ISE ٥١
شکل (٦ ٨) شبیه‌سازی کتابخانه‌ها ٥٢
شکل (٦ ٩) شبیه‌سازی با Modelsim ٥٣
شکل (٦ ١٠) شمایی از پنجره‌ی Modelsim ٥٣
شکل (٧ ١) فرآیند سنتز و طراحی بدون خطا ٥٥
شکل (٧ ٢) تولید فایل پیاده سازی ٥٦

www.ICEEP.ir

شکل (۷ ۳) باز کردن Floorplan ۵۷

شکل (۷ ٤) پنجره Package ۵۷

شکل (۷ ۵) تخصیص پایه ۵۸

شکل (۷ ٦) گزارش پایه ۵۹

شکل (۷ ۷) تعیین نوع هیئت‌بندی ٦۰

شکل (۷ ۸) پنجره کار iMPACT ٦۰

شکل (۷ ۹) انتخاب دستگاه ٦۱

شکل (۷ ۱۰) برنامه‌ریزی روی دستگاه مقصد ٦۲

www.ICEEP.ir

فصل اول

پیشگفتار

در این راهنما به بررسی نحوه‌ی استفاده از نرم‌افزار Xilinx ISE Design Suite خواهیم پرداخت. برای این کار از توضیح نصب برنامه شروع کرده و قدم به قدم با نحوه‌ی کار با بخش‌های مختلف آشنا می‌شویم.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که با این نرم‌افزار آشنا نبوده و یا افرادی که خواهان بازیابی اطلاعاتشان در مورد این نرم‌افزار هستند مفید خواهد بود.

در ادامه ٦ فصل خواهیم داشت. فصل ۲ مروری روی نرم‌افزار ISE ارائه می‌دهد. فصل ۳ طریقه‌ی نصب نرم‌افزار را آموزش می‌دهد. در فصل ٤ و ۵ با مبانی ایجاد یک طراحی آشنا می‌شوید، در فصل ٦ روش شبیه‌سازی طراحی را می‌آموزید و در نهایت با استفاده از راهنمایی فصل ۷ پیاده‌سازی طراحی را فرا خواهید گرفت.

Copyright © 2013 ICEEP, University of Tehran

فصل دوم

مرور کلی نرم‌افزار

ISE (**I**ntegrated **S**oftware **E**nvironment) یک ابزار برای سنتز و آنالیز طراحی‌های توصیف شده توسط یکی از زبان‌های سخت‌افزاری می‌باشد. این نرم‌افزار متعلق به شرکت Xilinx بوده و به طور کلی می‌توان قابلیت‌های آن را به صورت زیر خلاصه نمود.

- امکان سنتز یا کامپایل طراحی‌ها
- آنالیز زمانی طراحی‌ها
- بررسی دیاگرام‌های RTL[۱]
- شبیه‌سازی عملکرد طراحی در ازای ورودی‌های مختلف
- پیکربندی و برنامه‌ریزی دستگاه مقصد

در ادامه به بررسی کلی این نرم‌افزار می‌پردازیم.

۲-۱- واسط هدایتگر ISE[۲]

در حالت کلی واسط هدایتگر ISE دارای چهار پنجره‌ی اصلی می‌باشد که با نام‌های منابع[۳]، فرآیندها[۴]، رو نوشت[۵] و فضای کار[۶] شناخته شده‌اند. این چهار قسمت در شکل ۲-۱ نشان داده شده است.

---

۱ Register Transfer Level

۲ Project Navigator Interface

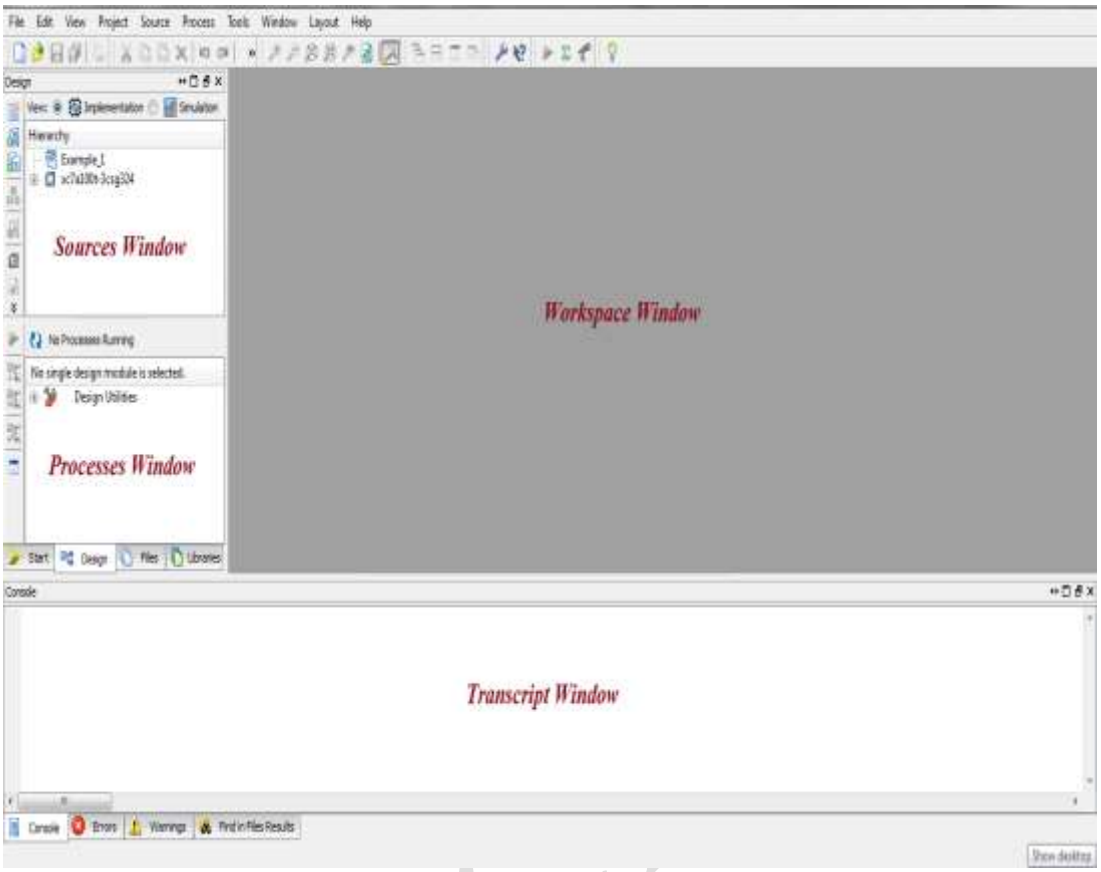
۳ Source

۴ Processes

۵ Transcript

۶ Workspace

www.ICEEP.ir



شکل (۲ ۱) واسط هدایتگر ISE

۲-۲- قاب طراحی

قاب طراحی شامل پنجره‌های مختلفی است که در ادامه به توضیح هر یک می‌پردازیم.

- پنجره‌ی منابع

نام پروژه به همراه فایل‌های متعلق به آن و همچنین نوع دستگاه انتخاب شده برای سنتزِ طراحی موردنظر در این پنجره نمایش داده می‌شوند.

- پنجره‌ی فرآیندها

تمام فرایندهای موجودی را که برای یک فایل انتخابی می‌توانند اجرا شوند را نشان می‌دهد.

www.ICEEP.ir

- پنجره‌ی رونوشت

پیام‌های مورد نیاز برای طراح از قبیل خطاهای موجود در طراحی که مانع تکمیل فرایند سنتز می‌باشند، در این پنجره نشان داده می‌شوند و بدین ترتیب طراح می‌تواند با برطرف نمودن آن‌ها، سنتز مدار خود را با موفقیت به اتمام برساند.

- پنجره‌ی فضای کار

در حقیقت این بخش، محیط کار طراح بوده و توصیف مدار یا طراحی شماتیک موردنظر او در این قسمت انجام می‌گیرد. به این پنجره HDL Editor هم اتلاق می‌شود.

۲-۳- فایل پروژه در ISE

برای استفاده از هر یک از قابلیت‌های ذکر شده، نیاز به ایجاد ساختاری به نام پروژه[۱] می‌باشد. در حقیقت این ابزار، المان‌های طراحی را در قالب این ساختار مدیریت و سازمان‌دهی می‌کند. فایل پروژه، یک فایل XML است که تمام داده‌های مربوط به طراحی از قبیل اطلاعات نسخه نرم‌افزار ISE، فایل‌های منبع پروژه، ویژگی‌های طراحی و فرآیند را در اختیار دارد. این فایل توسط هدایتگر پروژه خوانده شده و تنها با تغییر فایل‌های منبع تغییر می‌کند.

به طور کلی می‌توان گفت که طراحی‌ها در این نرم‌افزار به دو صورت HDL[۲] و یا شماتیک[۳] خواهند بود. به این معنا که می‌توانید طراحی خود را با یکی از زبان‌های توصیف سخت‌افزار همانند

---

[۱] Project

[۲] Hardare Design Level

[۳] Schematic

www.ICEEP.ir

Verilog و یا VHDL تعریف نمایید و یا آن‌که از کنار هم قرار دادن المان‌های آماده در کتابخانه‌ی موجود در نرم‌افزار، یک شماتیک از طراحی مورد نظر خود تهیه کنید. در فصول آینده نحوه‌ی ساختن هر کدام از این پروژه‌ها و نحوه‌ی کار با آنها را بررسی خواهیم کرد.

www.ICEEP.ir

فصل سوم

مراحل نصب

در این فصل به توضیح نحوه‌ی تصب نرم‌افزار ISE می‌پردازیم. همان طور که می‌دانید این نرم‌افزار متعلق به شرکت Xilinx می‌باشد.از طریق لینک زیر می‌توان به جدیدترین نسخه‌ی نرم‌افزار ISE دسترسی پیدا نمود. نسخه‌ی Webpack این نرم‌افزار رایگان بوده و نیازی به مجوز[1] نخواهد داشت. این نسخه از نرم‌افزار امکان سنتز و برنامه‌ریزی تعداد محدودتری از دستگاه‌های[2] Xilinx را فراهم می‌آورد؛ در عمل دستگاه‌های با تعداد زیادی ورودی و خروجی، در این نسخه قابل دسترس نخواهند بود.

http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm

آخرین نسخه‌ی ارائه شده برای این نرم‌افزار، ISE 14.6 می‌باشد ولی از آن‌جا که این محصول به تازگی به بازار عرضه شده، در این راهنما از نسخه‌ی ISE 14.5 بهره بردیم که در حال حاضر جدیدترین نسخه‌ی پایدار این محصول می‌باشد.

برای دانلود ISE Design Suite سه گزینه برای نصب در اختیار شما قرار داده شده است که بر اساس نیاز خود می‌توانید هر یک از آن‌ها انتخاب نمایید:

- بسته‌ی کامل نرم‌افزار در قالب یک فایل DVD
- بسته‌ی کامل نرم‌افزار متناسب برای سیستم‌عامل Linux
- بسته‌ی کامل نرم‌افزار متناسب برای سیستم‌عامل Windows

شایان ذکر است که Xilinx تنها سیستم‌عامل‌های زیر را ساپورت می‌نماید:

- Microsoft Windows
- Windows XP Professional (32-bit and 64-bit), English/Japanese

[1] License

[2] Device

www.ICEEP.ir

- Windows 7 Professional (32-bit and 64-bit), English/Japanese
- Windows Server 2008 (64-bit)
- Linux
- Red Hat Enterprise Workstation 5 (32-bit and 64-bit)
- Red Hat Enterprise Workstation 6 (32-bit and 64-bi)
- SUSE Linux Enterprise 11 (32-bit and 64-bit)

برای نصب نرم‌افزار به ترتیب زیر عمل کنید:

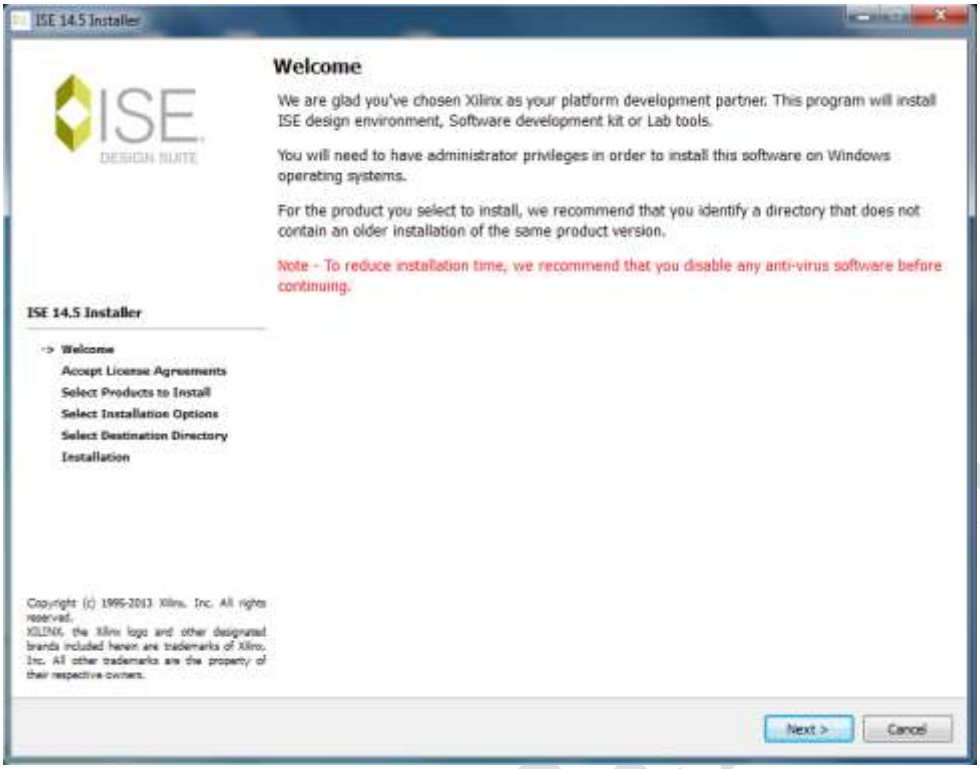
۱. ابتدا آن فایل را از حالت فشرده خارج کرده و سپس فایل xsetup.exe را اجرا نمایید.

نکته۱: در صورتی که فایلِ نصب را در قالب چندین بخش دریافت نموده‌اید، فایل با پسوند tar. را از حالت فشرده خارج نموده و سپس xsetup.exe را اجرا نمایید. در این حالت نیازی به باز کردن دیگر فایل‌های فشرده نخواهید داشت.

نکته۲: در صورتی که DVD این نرم‌افزار را در اختیار دارید به دنبال فایل xsetup.exe در آن بگردید.

۲. با اجرای فایل xsetup.exe، اجازه‌ی نصب برنامه از شما گرفته شده و به دنبال آن Wizard برنامه نمایش داده خواهد شد.

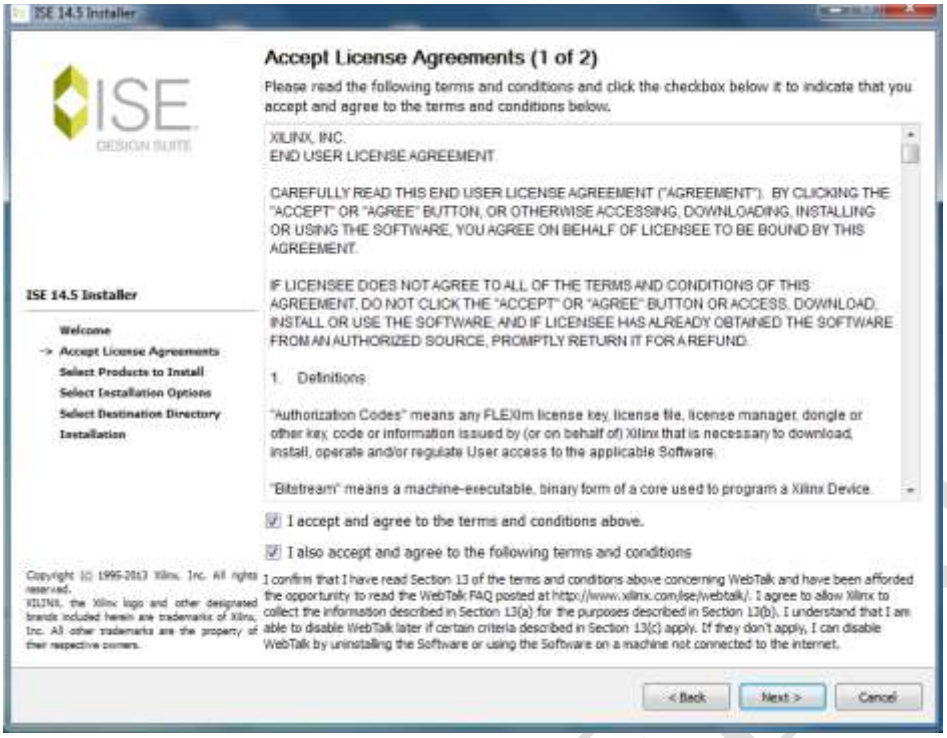
www.ICEEP.ir



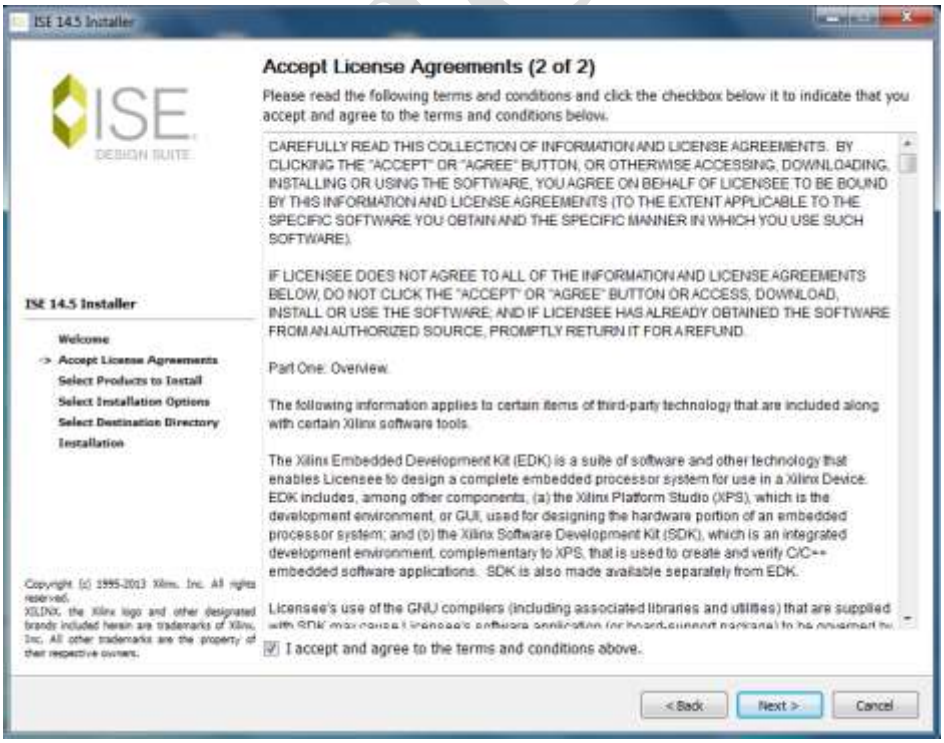
شکل (۳ ۱) پنجره اولیه برای نصب نرم‌افزار

با انتخاب گزینه‌ی بعدی[۱] پنجره‌ی مربوط به قوانین و مقررات شرکت Xilinx به نمایش درآمده و تنها پس از موافقت با تمامی‌شرایط تعیین شده، امکان راه‌یابی به مرحله‌ی بعدی نصب فراهم آورده می‌شود.

[۱] Next

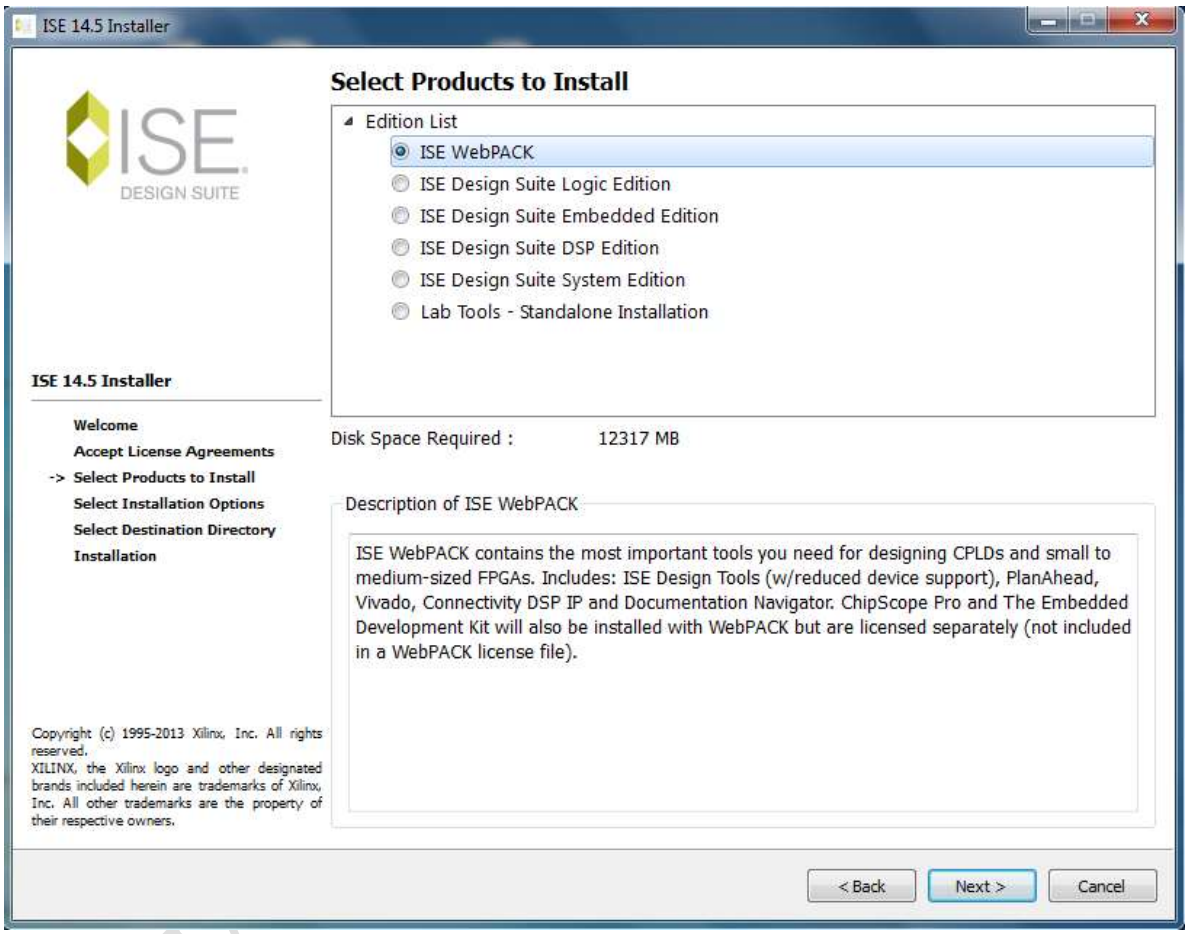


شکل (۳ ۲) پنجره مربوط به به قوانین و مقررات شرکت Xilinx (۱)



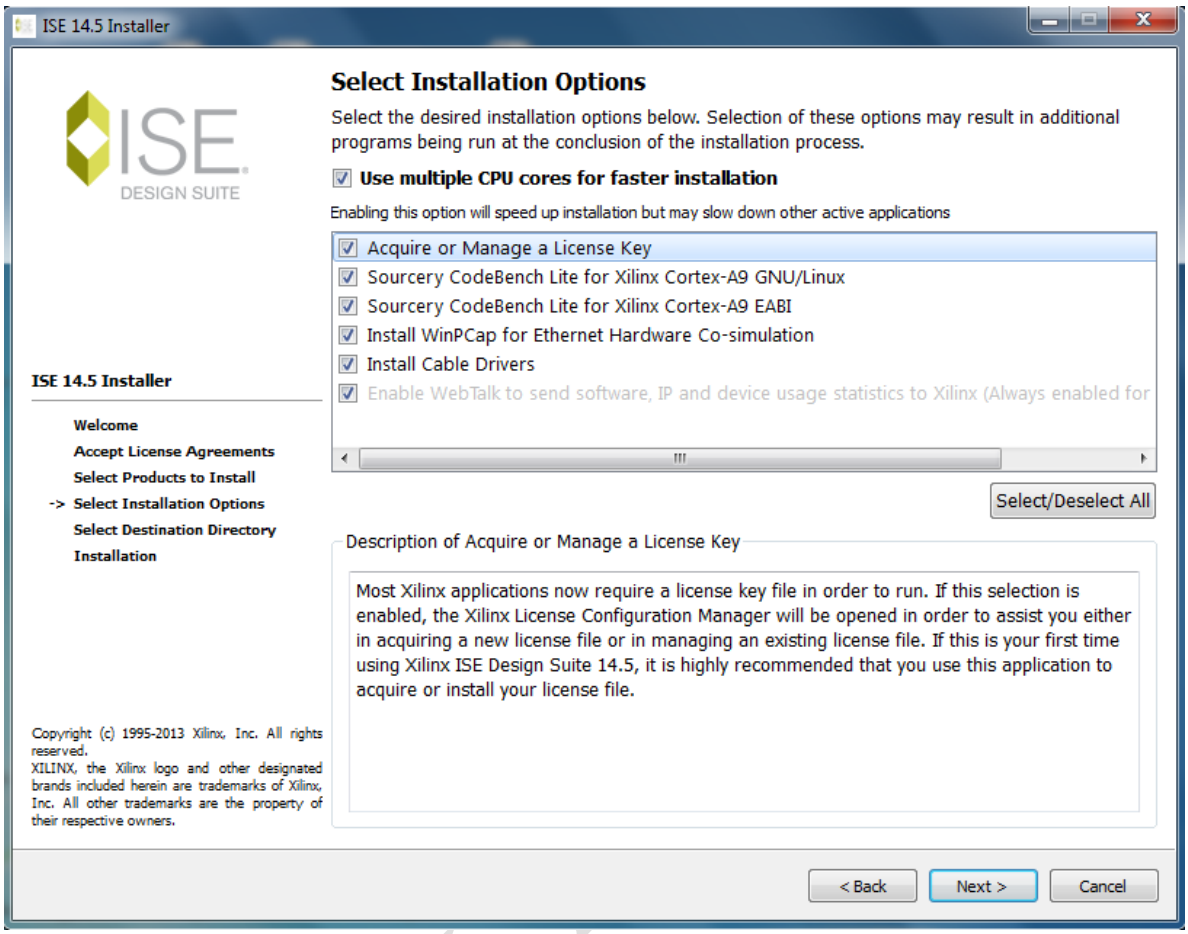
شکل (۳ ۳) پنجره مربوط به به قوانین و مقررات شرکت Xilinx (۲)

۳. پس از انجام مراحل اعلام موافقت، در این گام نیاز به انتخاب گزینه‌ی موردنظر برای نصب می‌باشد. به این معنا که برای دسترسی به نسخه‌ی قابل استفاده‌ی ISE که نیاز به مجوز نداشته باشد، در این مرحله می‌بایست ISE Webpack را انتخاب نمایید.



شکل (۳ ۴) انتخاب گزینه نصب

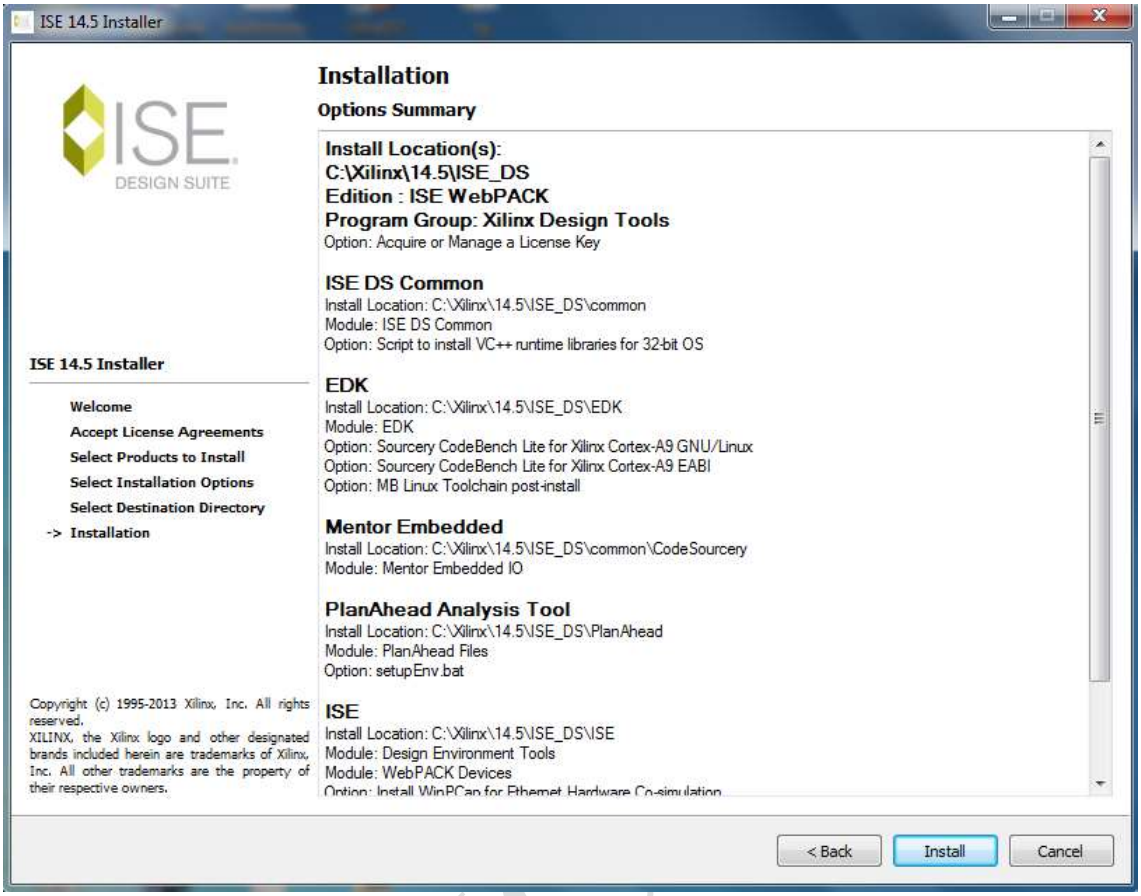
٤. در ادامه چندین گزینه‌ی انتخابی در طول فرایند نصب در نظر گرفته شده است که در صورت انتخاب شدن، پس از اتمام نصب اصلی برنامه در ادامه‌ی آن نصب خواهند شد.



شکل (۳ ۵) انتخاب گزینه‌های نصب

۵. سپس پوشه‌ی موردنظر برای نصب برنامه از شما درخواست می‌گردد. علاوه بر تعیین مقصد برنامه، میزان فضای مورد نیاز برای نصب آن و هم‌چنین میزان فضای موجود بر روی مقصد انتخابی شما نمایش داده می‌شوند. پس از تعیین مقصد مناسب خود، گزینه‌ی نصب را انتخاب نمایید.

www.



شکل (۳ ۶) مشخصات مسیر نصب

با تکمیل روند بالا و انتخاب گزینه‌ی اتمام[۱] در نهایت مراحل نصب برنامه با موفقیت به پایان می‌رسد.

[۱] Finish

فصل چهارم

طراحی بر اساس

HDL

در این فصل، فرآیند طراحی یک واحد سخت‌افزاری بر اساس HDL را طی می‌کنیم. برای این کار یک مثال ساده مانند جمع‌کننده‌ی کامل[1] را انتخاب می‌کنیم. با این مثال به راحتی می‌توانید ارتباط کُد نوشته شده‌ی خود را با مدار تولید شده بیابید. در این مثال، ما از زبان توصیف سخت‌افزاری Verilog برای مدار خود بهره گرفته‌ایم. لازم به ذکر است که مراحل لازم برای سنتز، مستقل از زبان انتخاب شده می‌باشند.

۴-۱- باز کردن ISE

برای شروع کار با ISE روی آیکون به شکل ٤-١ دو بار کلیک کنید و یا از طریق مسیر زیر هداتیگر پروژه را باز کنید.

Start > All Programs > Xilinx Design Tools > ISE Design Suite 14.5 > ISE Design Tools > 64 (32)- bit Project Nevigator

شکل (۴ ۱) آیکون هدایتگر پروژه

۴-۲- ساخت پروژه جدید

File > New Project Wizard پنجره‌ی مربوط به ساخت پروژه را باز می‌کند. می‌توان با

[1] Full Adder

www.ICEEP.ir

استفاده از دستور پروژه‌ی جدید[1] در قسمت دستورات پروژه [2] نیز به آسانی به این پنجره راه یافت. با انتخاب پروژه‌ی جدید ، اطلاعات لازم برای ساخت پروژه‌ی موردنظر از شما درخواست می‌گردد. این اطلاعات شامل نام پروژه، محل مناسب برای ذخیره‌ی آن و هم‌چنین تعیین نوع فایل ورودی می‌باشد. در صورت نیاز می‌توان هنگام ساخت پروژه، توضیحی نیز برای آن در نظر گرفت.

لازم به ذکر است که در زمان ساخت پروژه، این نرم‌افزار امکان انتخاب چهار نوع فایل ورودی را برای طراح فراهم می‌کند:

- HDL

در صورتی که فایل ورودی شما یکی از فایل‌های Verilog و یا VHDL می‌باشد، این گزینه را برای واحد اصلی طراحی [3] خود انتخاب کنید.

- شماتیک

در صورتی که فایلِ ورودی شما یک فایل شماتیک می‌باشد از این گزینه استفاده نمایید.

- EDIF[4]

واحد را به صورت فرمت استاندارد در صنعت مشخص می‌کند. این فرمت، یک فرمت بی‌طرف و خنثی برای سازنده می‌باشد که می‌بایست توسط ابزار دیگری تولید شده و نهایتاً به پروژه اضافه گردد.

- NGC/NGO[5]

ماژول را به صورت یک فایل با فرمت مختص Xilinx مشخص می‌کند. این فایل می‌بایست

---

[1] New Project

[2] Project Commands

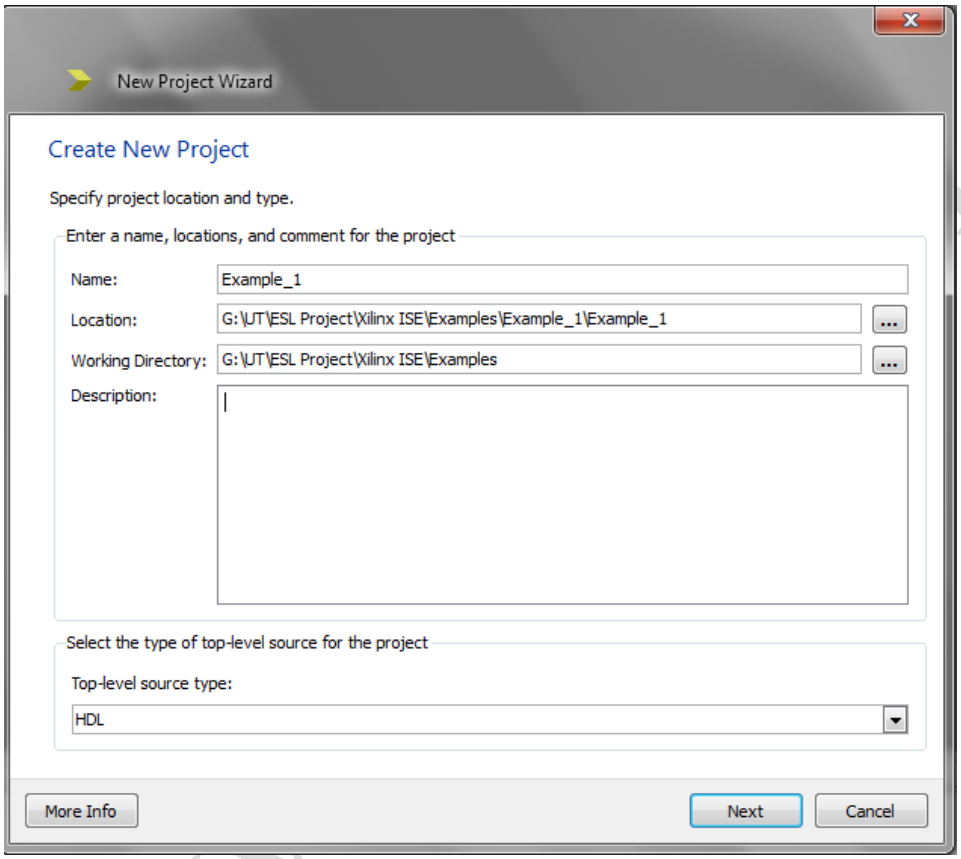
[3] Top-Level Design

[4] Electronic Data Interchange Format

[5] Xilinx Native Generic Database

www.ICEEP.ir

توسط یکی از ابزارهای تولیدکننده‌ی IP[1] شرکت Xilinx تولید شود (مانند CORE Generator یا System Generator برای DSP) و یا این‌که به صورت مستقیم توسط نرم‌افزار XST (Xilinx Synthesis Technology) تولید گردد.



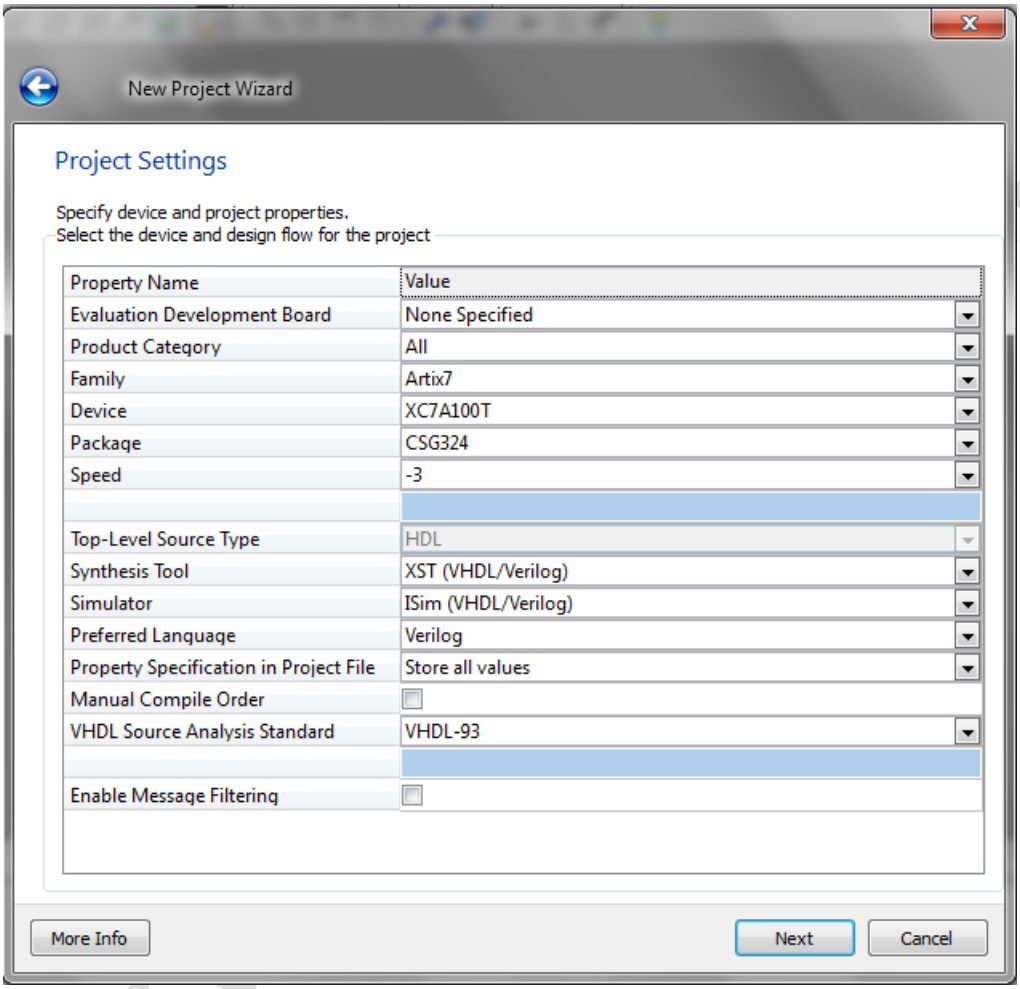
شکل (۴ ۲) پنجره اولیه ساخت پروژه‌ی جدید

با انتخاب گزینه‌ی بعدی به گام بعدی از مرحله‌ی ساخت پروژه راه خواهید یافت. در این قسمت لازم است تا با در نظر گرفتن دستگاه مقصد مورد نظر خود، اطلاعات لازم جهت تعیین بُرد را وارد نمایید. در این پنجره علاوه بر مشخصات دستگاه مقصد، لازم است تا ابزار سنتز و هم‌چنین

[1] Intellectual Property

Copyright © 2013 ICEEP, University of Tehran

شبیه‌ساز مورد نظر برای پروژه‌ی خود را نیز تعیین کنید. در میان شبیه‌سازهایی[1] که در اختیار قرار داده شده است، ISim (ISE Simulator) شبیه‌ساز شرکت Xilinx بوده در حالی‌که Modelsim و Questa شبیه‌سازهای متعلق به شرکت Mentor Graphics می‌باشند.



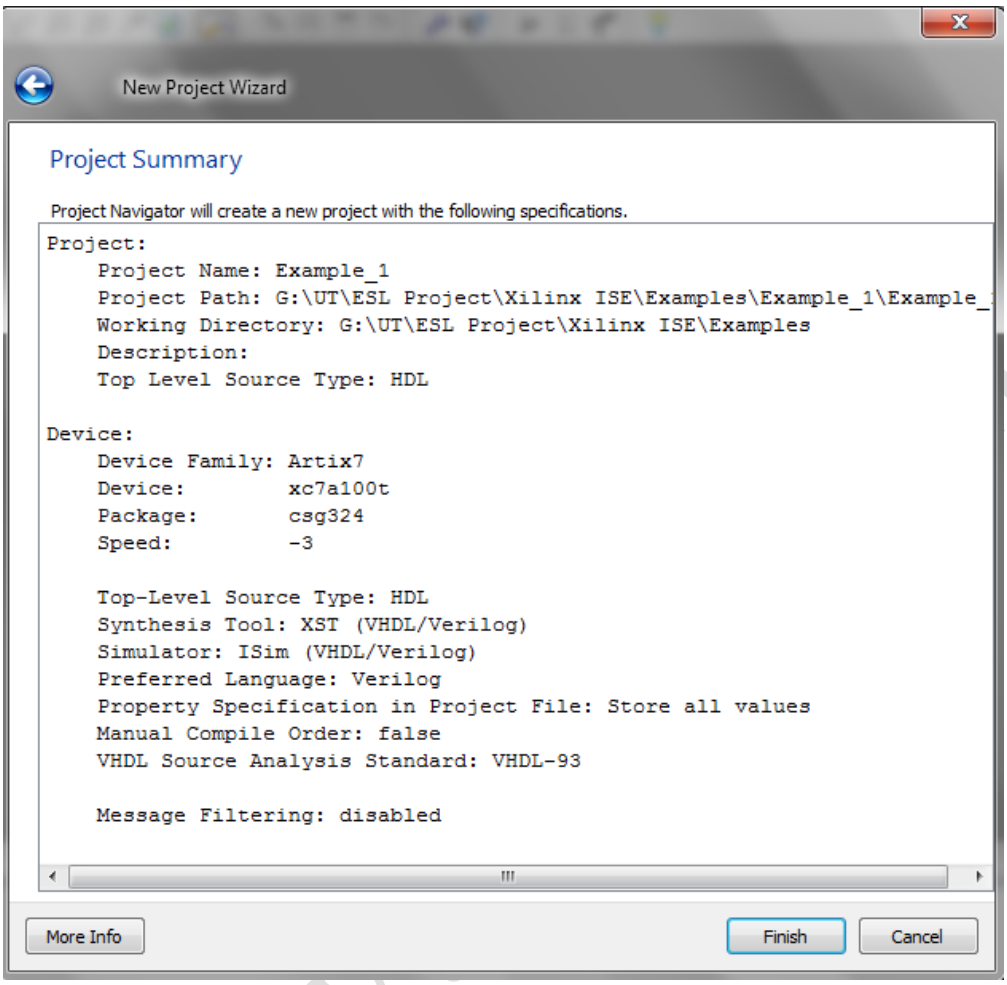
شکل (۴ ۳) پنجره‌ی تنظیمات پروژه

در نهایت با کلیک بر روی گزینه‌ی بعدی، خلاصه‌ای از تنظیمات پروژه به نمایش در می‌آید. در صورتی‌که تمامی تنظیمات، مطابق با خواسته‌ی شما می‌باشد، گزینه‌ی اتمام را انتخاب نمایید و در

[1] Simulator

Copyright © 2013 ICEEP, University of Tehran

غیر این صورت، انصراف خود را از ادامه‌ی مسیر با گزینه‌ی لغو[1] بیان نمایید.



شکل (۴ ۴) خلاصه‌ی تنظیمات پروژه

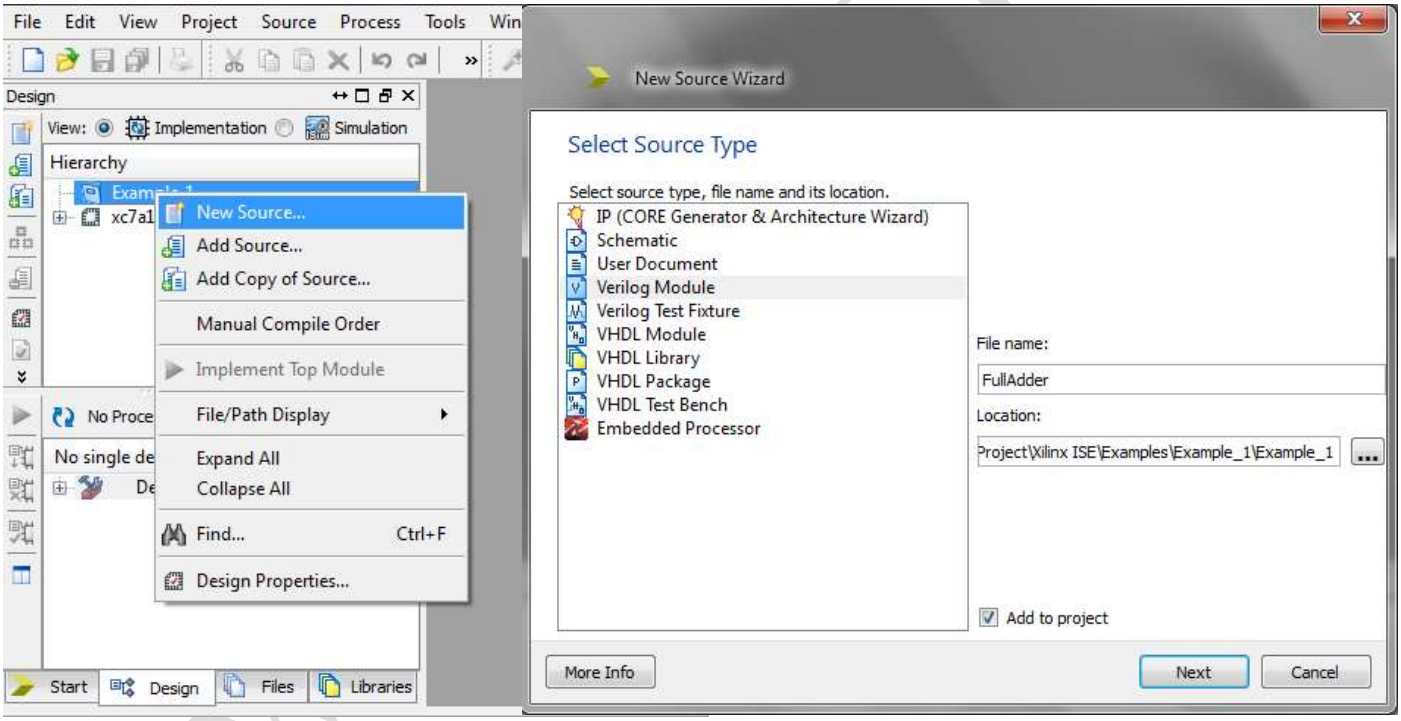
۴-۳- اضافه کردن فایل طراحی به پروژه

همان طور که اشاره شد، فایل ورودی ما یک جمع‌کننده‌ی کامل توصیف شده به زبان Verilog می‌باشد. برای سنتز این مدار لازم است که یک فایل HDL به پروژه‌ی خود اضافه کرده و سپس کُد مربوط به آن را بنویسیم.

[1] Cancel

بدین منظور بر روی پروژه کلیک راست کرده و سپس گزینه‌ی منبع جدید[1] را انتخاب نمایید. با انتخاب این گزینه از شما خواسته می‌شود که نوع فایل ورودی خود را تعیین کنید. از آن‌جا که فایل ورودی ما یک واحد Verilog HDLخواهد بود، Verilog Module را در قسمت مربوطه انتخاب کرده و نام مناسبی را که بیانگر محتوای این فایل است، روی آن می‌گذاریم.

در صورتی که فایل موردنظر شما موجود می‌باشد به جای گزینه‌ی منبع جدید، افزودن منبع[2] را انتخاب نمایید.



شکل (۴ ۵) اضافه کردن منبع جدید یا موجود

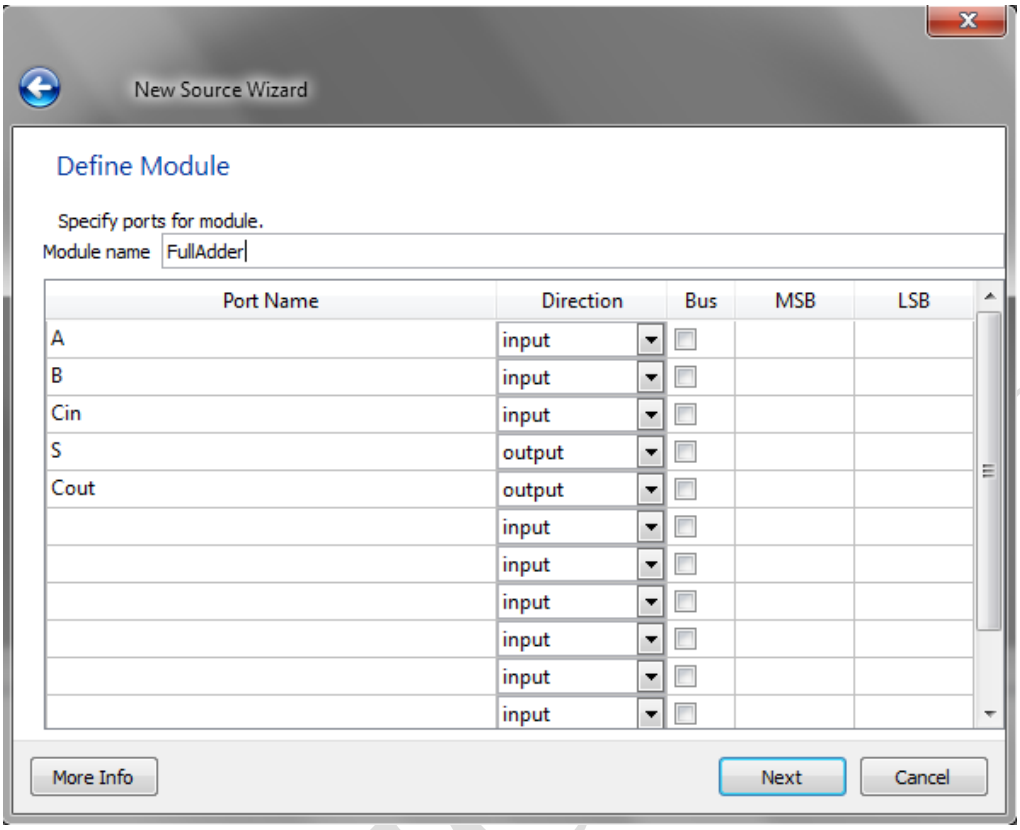
با رفتن به مرحله‌ی بعدی، امکان تعیین پورت‌های واحد اصلی خود را خواهید داشت. نام

[1] New Source

[2] Add Source

Copyright © 2013 ICEEP, University of Tehran

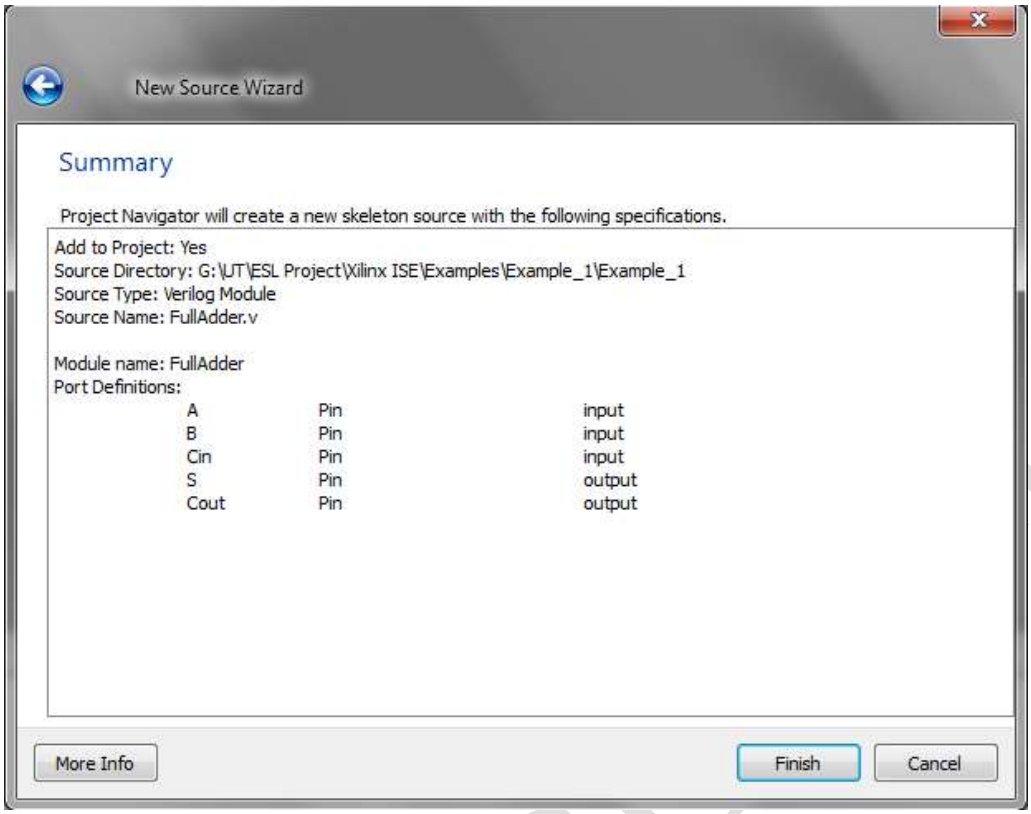
پورت‌های مدار و هم‌چنین ورودی یا خروجی بودن آن‌ها را تعیین کرده و سپس به گام بعدی بروید.



شکل (۴ ۶) تعیین ورودی‌ها و خروجی‌های مدار

در مرحله‌ی بعد نیز خلاصه‌ی اطلاعات وارد شده، نمایش داده می‌شود تا در صورت نیاز به تغییر هر یک از آن‌ها از ادامه‌ی مسیر خودداری کرده و در غیر این صورت نیز گزینه‌ی اتمام را برگزینید.

www.ic



شکل (۴ ۷) خلاصه مشخصات منبع اضافه شده

با اتمام ساخت فایل جدید خود، یک فایل HDL با فرمت کُد Verilog و با نامی‌که برای آن تعیین کرده‌اید، ایجاد می‌گردد. نام پورت‌های انتخاب شده و نیز نوع ورودی یا خروجی بودن آن‌ها نیز در این فایل دیده می‌شود.

در حالت کلی این فایل شامل دو بخش می‌باشد:

- قالب بلوک توضیحات[۱]

این قسمت تنها برای خوانایی بهتر مدارات و مدیریت هر چه بهتر فایل‌هایی که ساخته می‌شوند، در نظر گرفته شده است. پر کردن فیلدهای این بخش در مستندسازی بهتر فایل‌ها تأثیر

[۱] Comment Block Template

www.ICEEP.ir

بسزایی خواهد داشت.

- شرح واحد[1]

در این بخش توصیف ساختاری یا رفتاری مدار مورد نظر شما قرار می‌گیرد. مابین "module" و "endmodule" هر مدار Verilogای که مد نظر شما باشد، می‌تواند قرار بگیرد. در این مثال رفتار یک جمع‌کننده را در این محدوده قرار می‌دهیم.

```
1  `timescale 1ns / 1ps
2  //////////////////////////////////////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date:    12:32:12 10/23/2013
7  // Design Name:
8  // Module Name:    Full_Adder
9  // Project Name:
10 // Target Devices:
11 // Tool versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////////////////////////////////////////////////
21 module Full_Adder(
22     input A,
23     input B,
24     input Cin,
25     output S,
26     output Cout
27     );
28
29     assign   {Cout,S} = A + B + Cin;
30
31 endmodule
32
```

شکل (۴ ۸) قالب فایل Verilog

۴-۴- عملیات سنتز

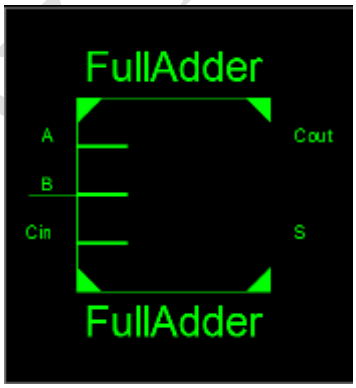
پس از نوشتن کد، در صورتی که اشکالی در آن وجود داشته باشد ISE به شما در پیداکردن

[1] Module Statement

آن‌ها کمک خواهد کرد.

برای سنتز مدار، در پنجره‌ی مربوط به فرآیندها یا بر روی سنتز[1] دوبار کلیک کرده و یا آن که با کلیک راست بر روی این گزینه، اجرا[2] را انتخاب نمایید. این گزینه منجر به آغاز فرایندی می‌شود که مدار شما را آنالیز کرده و از نظر درستی ارتباطات، ترکیب[3] و ساختار، آن را بررسی کرده و اعلام می‌دارد که آیا مدار توصیف شده قابل سنتز می‌باشد یا خیر. گفتنی است Synthesize-XST -> Check Syntax امکان بررسی درستی ترکیب مدار را برای شما فراهم می‌آورد.

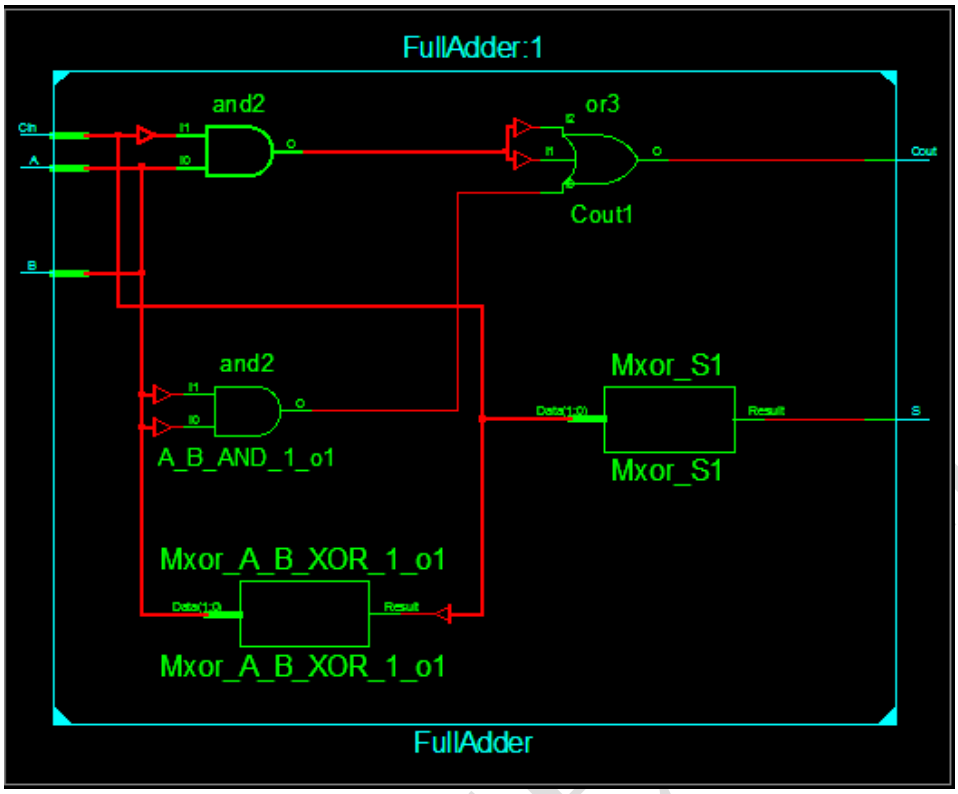
در صورتی که فرایند سنتز، بدون اشکال به پایان برسد می‌توانید نمای RTL[4] تولید شده از مدارتان را به طور گرافیکی مشاهده نمایید.این کار را می‌توانید از طریق Synthesize-XST -> View RTL Schematic انجام دهید. شماتیک تولید شده برای مثال جمع‌کننده به صورت زیر می‌باشد که در ابتدا واحد اصلی مدار و پورت‌های آن نمایش داده می‌شود . با کلیک بر روی این واحد، امکان مشاهده‌ی جزئیات بیشتری از مدار فراهم می‌گردد.



شکل (۴ ۹) نمای RTL واحد اصلی

[1] Synthesize
[2] Run
[3] Syntax
[4] RTL View

WWW.ICEEP.IR



شکل (۴ ۱۰) نمای RTL با جزئیات

برای مشاهده‌ی اجزای تشکیل دهنده‌ی این طراحی، پنجره‌ای با نام Design Objects of Top Level Block تعبیه شده است که دارای چهار بخش می‌باشد:

- نمونه‌ها[۱]

بلوک‌های تشکیل‌دهنده‌ی طراحی شما در این قسمت به تفکیک نمایش داده می‌شوند. به عنوان مثال جمع‌کننده‌ی ما دارای پنج بلوک بوده که شامل دو AND دو ورودی، یک OR سه ورودی و دو XOR می‌باشد.

- پایه‌ها[۲]

[۱] Instances

[۲] Pins

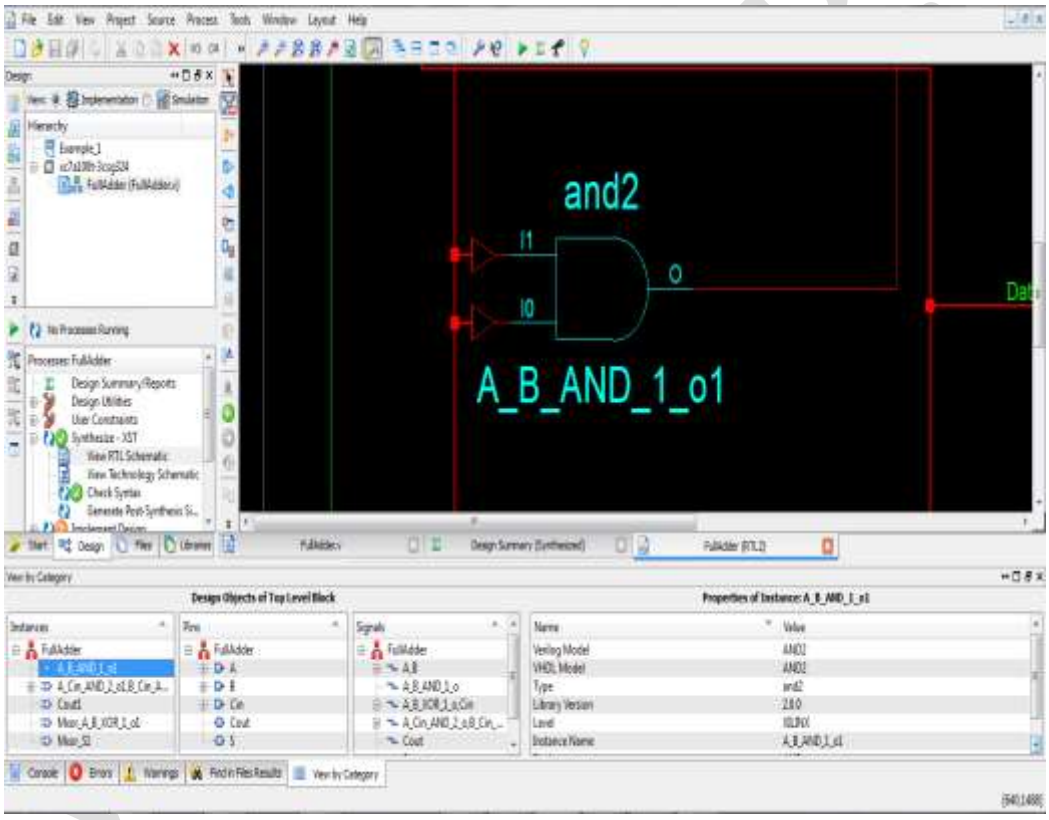
پورت‌های مدار را مشخص می‌کند.

سیگنال‌ها[1]

سیگنال‌های مدار را نشان داده و با کلیک بر روی هر یک از آن‌ها، مکان آن‌ها در شکل نمایش داده می‌شود.

ویژگی‌ها[2]

با انتخاب هر یک از گزینه‌های بالا، جزئیات مربوط آن در این قسمت نشان داده می‌شود.



شکل (۴ ۱۱) ویژگی‌های طراحی در RTL View

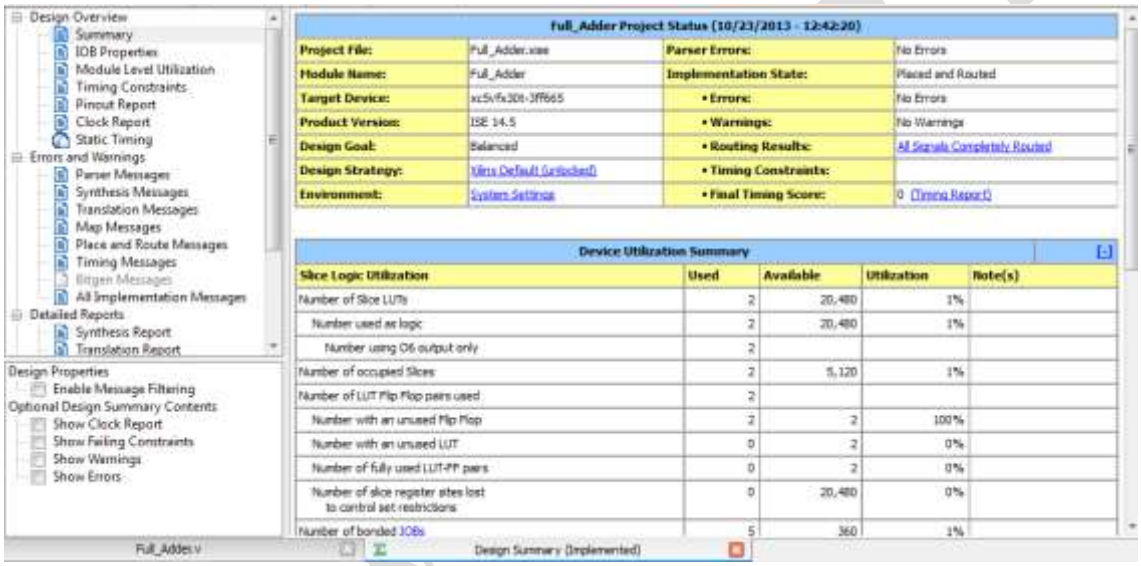
در پنجره‌ی فرآیندها گزینه‌ی دیگری با نام خلاصه و گزارش‌های طراحی[1] وجود دارد که

[1] Signals

[2] Properties

Copyright © 2013 ICEEP, University of Tehran

نتایج حاصل از سنتز را به صورت خلاصه و طبقه‌بندی شده نشان می‌دهد. اگرچه امکان مشاهده‌ی گزارش‌های با جزئیات بیشتر نیز در این قسمت وجود دارد. این اطلاعات، از گزارش دستگاه مقصد تا خطاها و هشدارهای تولید شده در طول فرایند سنتز را شامل می‌شود. نسبت LUT[۲]های موردنیاز برای طراحی شما به تعداد کل LUTهای موجود در دستگاه انتخاب شده و بسیاری دیگر از این گزارش‌های ضروری، در این قسمت نشان داده می‌شوند.



شکل (۴ ۱۲) شمای خلاصه طراحی و گزارش‌ها

[۱] Design Summary/ Reports

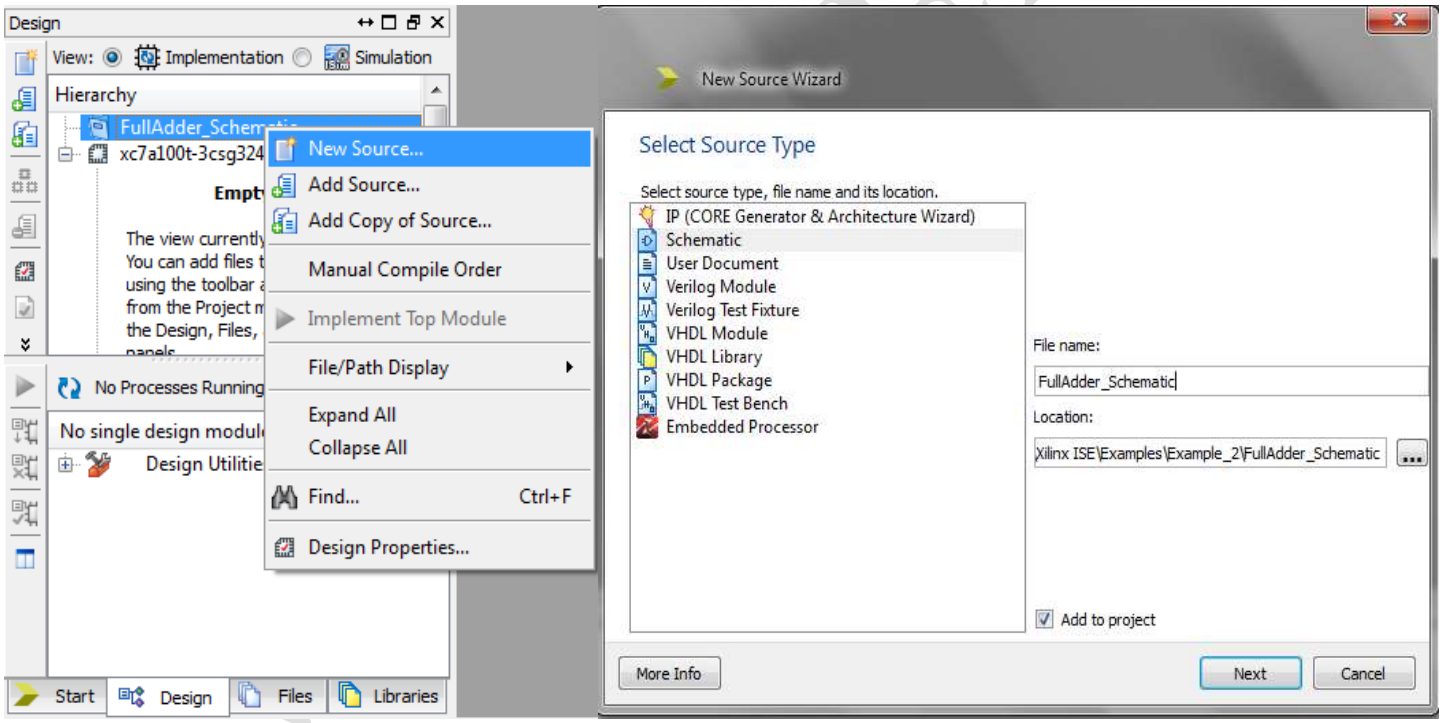
[۲] Look Up Table

Copyright © 2013 ICEEP, University of Tehran

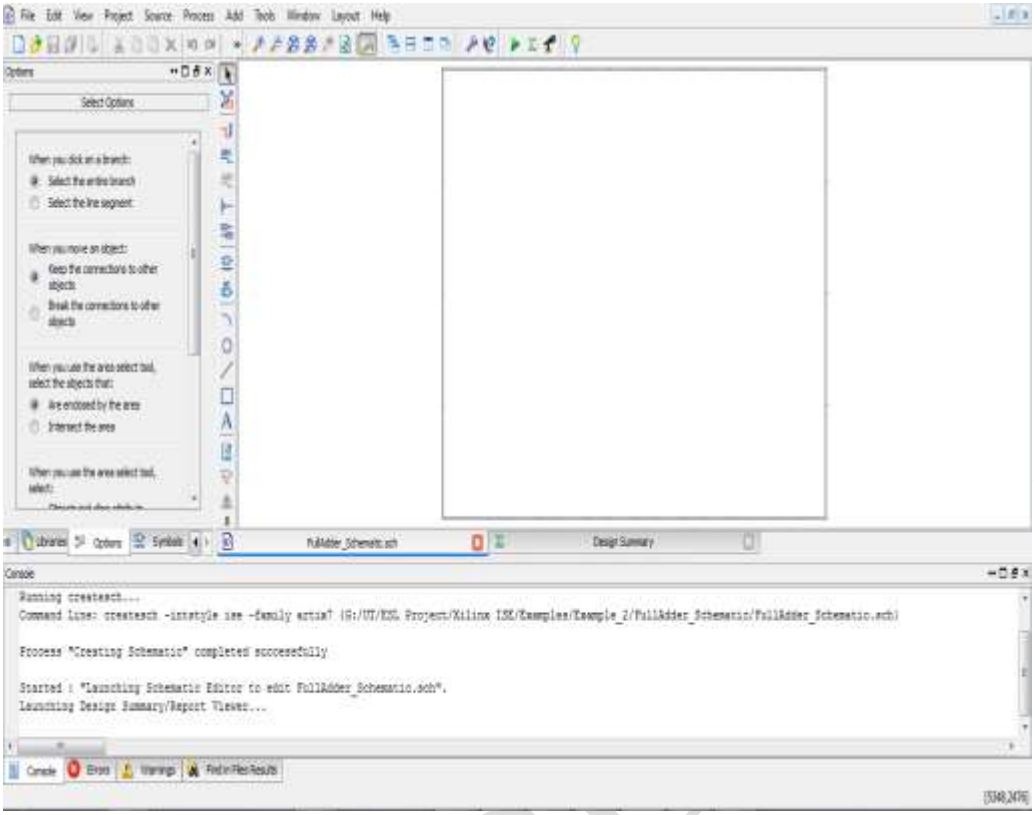
فصل پنجم

طراحی بر اساس شماتیک

در این فصل به توضیح ایجاد یک طراحی بر اساس اتصال بلوک‌های کتابخانه‌ای می‌پردازیم. بنابراین این بار از شماتیک مدار جمع‌کننده استفاده می‌کنیم تا با این مثال، ویژگی‌های دیگر نرم‌افزار ISE را نشان دهیم. درابتدای کار مشابه آنچه که پیشتر بیان گردید، ابتدا یک پروژه‌ی جدید بسازید با این تفاوت که نوع فایل اصلی را به جای HDL، شماتیک انتخاب نمایید. سپس بر روی پروژه کلیک راست کرده و با انتخاب منبع جدید یک فایل از نوع شماتیک را انتخاب کنید و نام مناسب برای فایل خود را وارد نمایید. در نهایت با انتخاب اتمام، صفحه‌ی شماتیک به صورتی که در شکل ۵-۲ نشان داده شده، به نمایش در می‌آید.



شکل (۵ ۱) ایجاد پروژه شماتیک



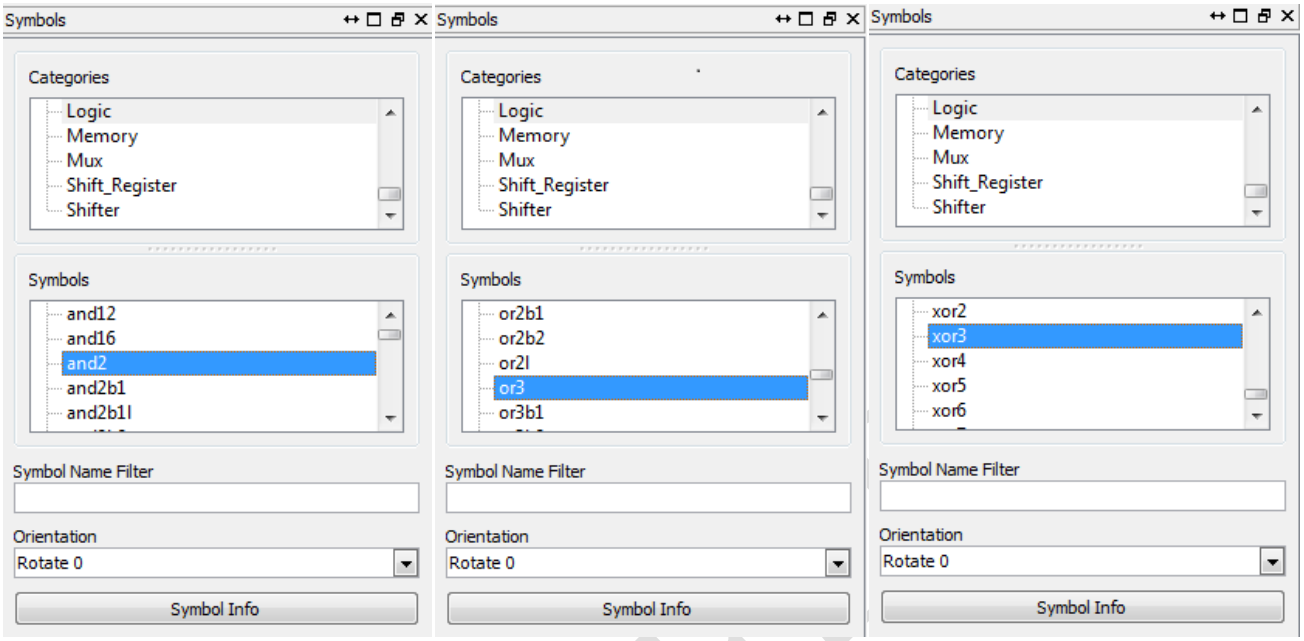
شکل (۵ ۳) پنجره‌ی طراحی شماتیک

این بار به جای توصیف مدار، اجزای سازنده‌ی آن را کنار هم قرار می‌دهیم. از آن‌جا که جمع‌کننده‌ی موردنظر ما به سه گیت AND دو ورودی، یک گیت OR سه ورودی برای ساخت رقم نقلی خروجی و هم‌چنین یک گیت XOR سه ورودی برای ساخت حاصل‌جمع نیازمند است، می‌بایست این اجزا به درستی کنار یکدیگر قرار گیرند به نحوی که عملکرد صحیح مدار حاصل شود. برای انتخاب این المان‌ها گزینه‌ی نشانه‌ها[۱] را انتخاب کرده و بسته به آن‌که المان موردنظر در کدام دسته قرار می‌گیرد، آن را از میان کتابخانه‌ی نرم‌افزار بیابید. از آن‌جا که تمامی‌المان‌های AND، OR و XOR جزو المان‌های پایه به حساب می‌آیند، در دسته‌ی منطقی[۲] به دنبال آن‌ها می‌گردیم.

[۱] Symbols

[۲] Logic

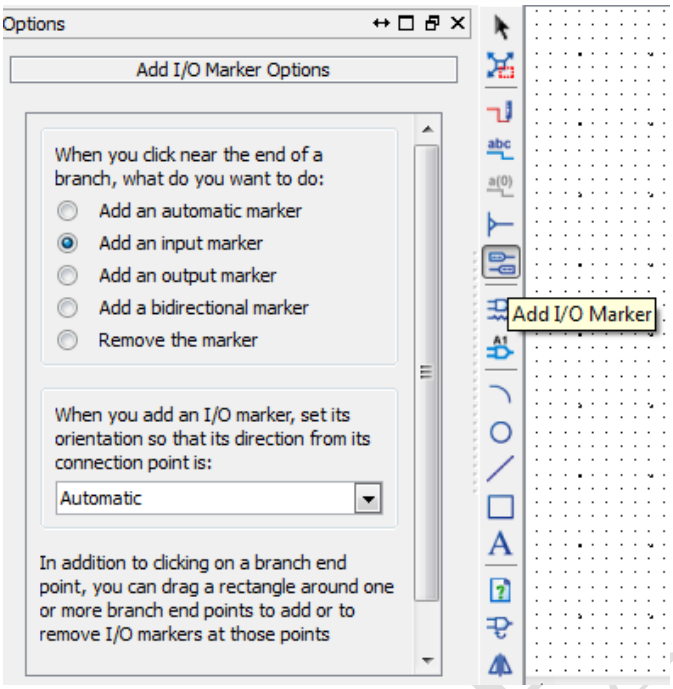
Copyright © 2013 ICEEP, University of Tehran



شکل (۵ ۳) انتخاب المان‌ها از کتابخانه‌ها

پس از اضافه کردن هر یک از این المان‌ها به تعداد مناسب، ارتباطات مناسب میان آن‌ها را برقرار می‌سازیم. در نهایت نیز می‌بایست ورودی و خروجی‌های مدار را مشخص نماییم. برای این کار لازم است که از I/O Marker > Add را استفاده کرده و ورودی یا خروجی بودن آن‌ها را نیز از منوی سمت چپ تعیین کنید. سپس نام این پورت‌ها را تغییر داده و عنوانی مناسب برای آن‌ها برگزینید. این کار را با کلیک راست بر روی پورت موردنظر و انتخاب تغییر نام پورت[1] انجام دهید.

[1] Rename Port



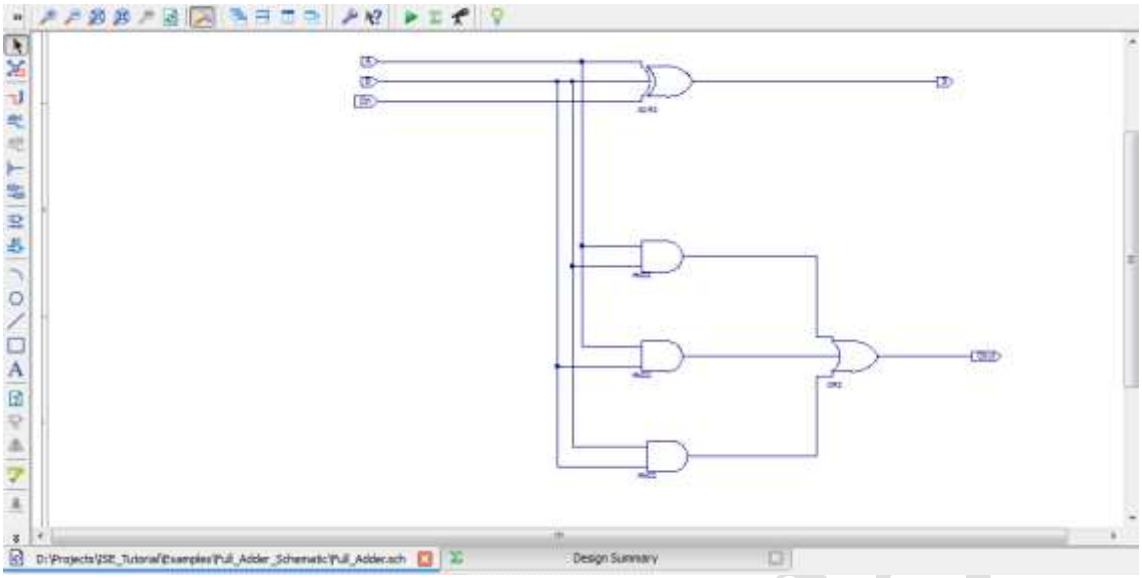
شکل (۵ ۴) تعیین ورودی‌ه و خروجی‌ها

با انتخاب افزودن سیم[۱] از نواری که کنار صفحه‌ی ویراستار[۲] قرار دارد، ارتباطات را برقرار کرده و برای اطمینان از صحت اتصالات، Tools -> Check Schematic را اجرا کنید. بدین ترتیب می‌توانید در صورت عدم وجود خطا کار خود را ادامه دهید.

[۱] Add Wire

[۲] Editor

www.ICEEP.ir



شکل (۵ ۵) شماتیک نهایی جمع‌کننده

www.ICEEP.ir

فصل ششم

شبیه سازی رفتاری

برای شبیه‌سازی رفتاری طراحی نیاز به یک شبیه ساز داریم. این شبیه ساز می‌تواند Modelsim یا ISim باشد که هر دو از طریق هدایتگر پروژه قابل دستیابی‌اند. در این راهنما با طرز کار با هر دو این شبیه سازها آشنا خواهیم شد. در نهایت خواهید دید که نتایج در هر دو این شبیه‌سازها یکسان است.

۶-۱- شبیه سازی با ISim

برای شبیه‌سازی با ISim ابتدا لازم است تا رفتار جمع‌کننده‌ی تک بیتی خود را بررسی کنیم و از عملکرد درست آن اطمینان حاصل نماییم. بدین منظور یا می‌توانید از فایل Verilog/VHDL Testbench به این منظور بهره ببرید و یا آن‌که از شکل موج[۱] برای تست مدار خود استفاده نمایید. ما برای تست این مدار از گزینه‌ی شکل موج استفاده کردیم. بدین ترتیب در قسمت نما[۲] به جای پیاده سازی[۳]، گزینه‌ی شبیه‌سازی را انتخاب کردیم. این کار سبب می‌شود تا شبیه‌ساز ISim در پنجره‌ی مربوط به فرآیندها به نمایش درآید. با انتخاب شبیه‌سازی رفتاری مدل[۴]، صفحه‌ی جدیدی گشوده شده که تمامی‌سیگنال‌های داخل مدار شما را نشان داده و امکان تغییر این سیگنال‌ها را نیز، فراهم می‌کند.

لازم به ذکر است که سیگنال‌هایی که با _XLXN مشاهده می‌کنید، سیگنال‌های میانی می‌باشند که خود نرم‌افزار آن‌ها را نام‌گذاری کرده است. این سیم‌ها مابین گیت‌های AND و OR سه

---

۱ Waveform

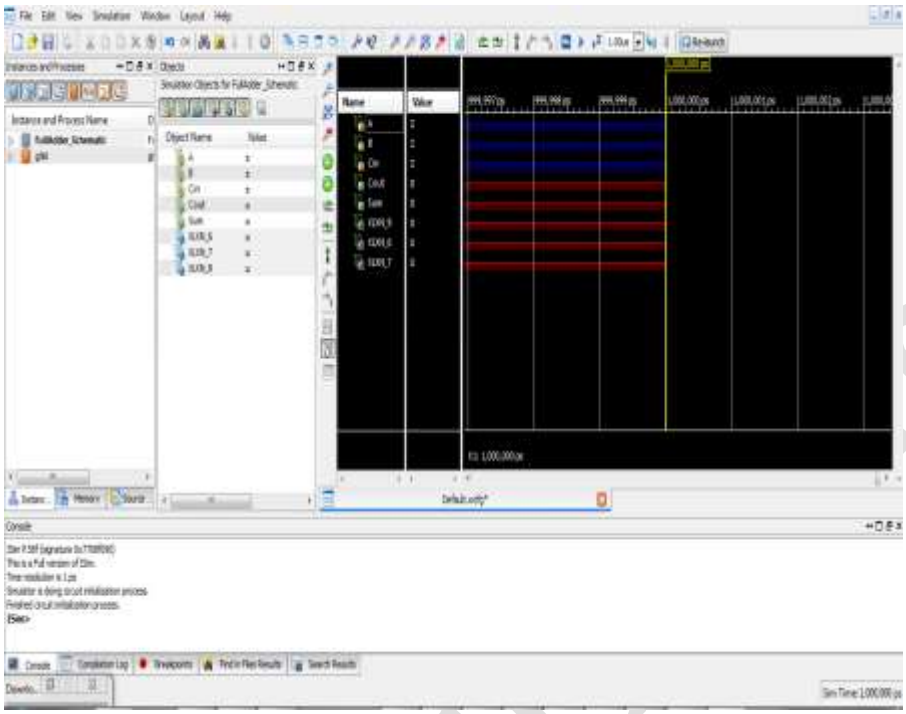
۲ View

۳ Implementation

۴ Simulate Behavioral Model

www.ICEEP.ir

ورودی قرار دارند. شکل ٦-١ ، محیط ISim را نشان می‌دهد.



شکل (۶ ۱) محیط ISim

ISim (ISE Simulator)، یک شبیه ساز برای زبان‌های توصیف سخت‌افزار می‌باشد که امکان شبیه‌سازی طراحی‌های نوشته شده به زبان VHDL، Verilog و یا ترکیبی از زبان‌ها را به لحاظ زمانی و هم‌چنین عملکردی (رفتاری) فراهم می‌کند.

حال با استفاده از یک فایل Verilog Testbench، مدار جمع‌کننده‌ی خود را تست می‌کنیم. بدین منظور مشابه زیر رفتار می‌کنیم.

Project -> New Source -> Verilog Test Fixture

سپس نام فایل مورد نظر خود را وارد کرده و به مرحله‌ی بعدی رفته و در نهایت اتمام را انتخاب می‌کنیم. بدین ترتیب قالب کلی Test Bench برای فایل‌های زبان Verilog آورده می‌شود به این معنا که یک نمونه از فایل گرفته شده و پورت‌های مدار نیز تشخیص داده می‌شود. در بازه‌ی میان

www.ICEEP.ir

"begin" و "end" در بلوک مقداردهی اولیه[1]، سیگنال‌های ورودی را با مقادیر موردنظر خود، مقداردهی کرده تا در نهایت مقادیر سیگنال‌های خروجی مشاهده شود.

پس از مقداردهی، ISim Simulator->Behavioral Check Syntax را اجرا کرده تا از عدم وجود خطا در کد خود اطمینان حاصل شود.

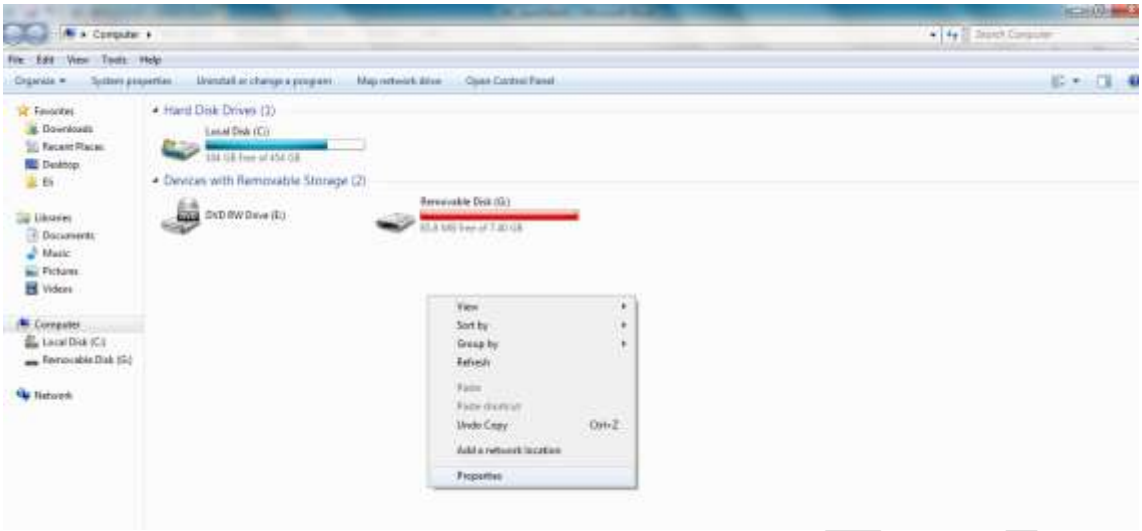
سپس شبیه‌سازی رفتاری مدل را اجرا می‌کنیم.

۶-۲- شبیه‌سازی با Modelsim

برای شبیه‌سازی با Modelsim علاوه بر نصب نرم‌افزار ISE باید نرم‌افزار Modelsim را نیز روی کامپیوتر خود نصب نمایید.در قدم بعدی باید کتابخانه‌هایی که شامل اطلاعات مختلف از جمله زمان‌بندی است را شبیه‌سازی کنید. Modelsim از این اطلاعات برای شبیه‌سازی پروژه شما استفاده می‌کند. برای انجام این کار در ابتدا باید به Modelsim اجازه دسترسی به این کتابخانه‌ها را بدهید. این عملیات به صورت اتوماتیک صورت نمی‌گیرد. بنابراین لازم است به صورت دستی متغیر مربوط به آن را تنظیم کنید.قبل از این کار در مسیر نصب Modelsim، فایل modelsim.ini را یافته و با کلیک راست کردن روی آن و رفتن به بخش ویژگی‌ها، آن را از حالت خواندن[2] خارج کرده، در نهایت برای اطمینان یک کپی از فایل را نگه دارید. سپس برای تنظیم متغیر، روی پنجره کامپیوتر من[3] کلیک راست کرده و گزینه ویژگی‌ها را انتخاب کنید.

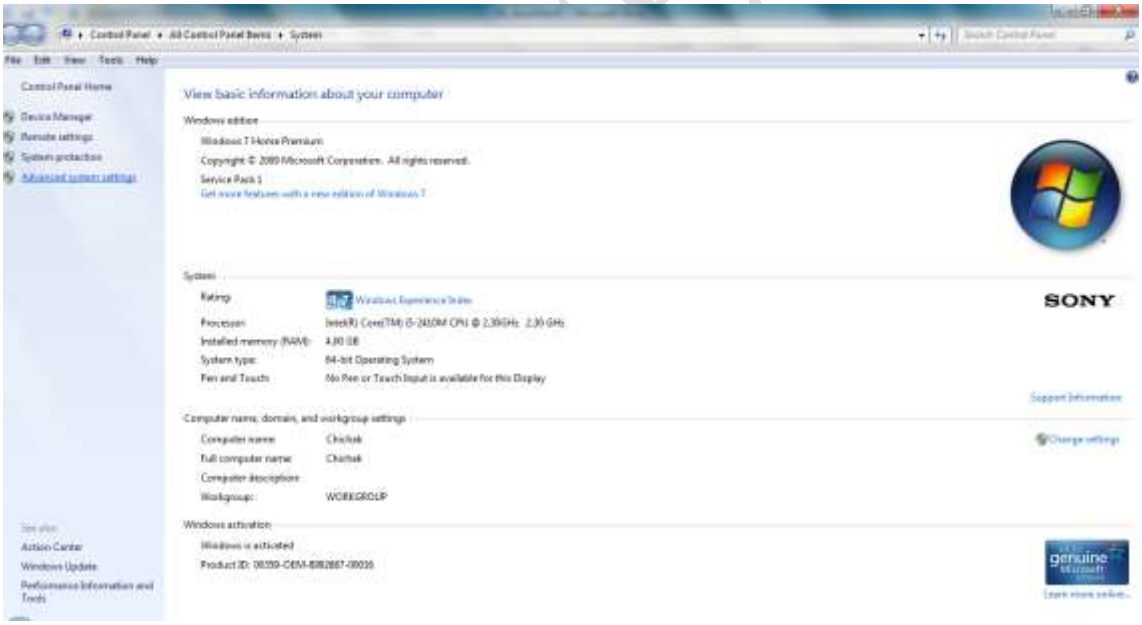
[1] Initialize
[2] Read Only
[3] My Computer

www.ICEEP.ir



شکل (۶ ۲) انتخاب ویژگی‌ها

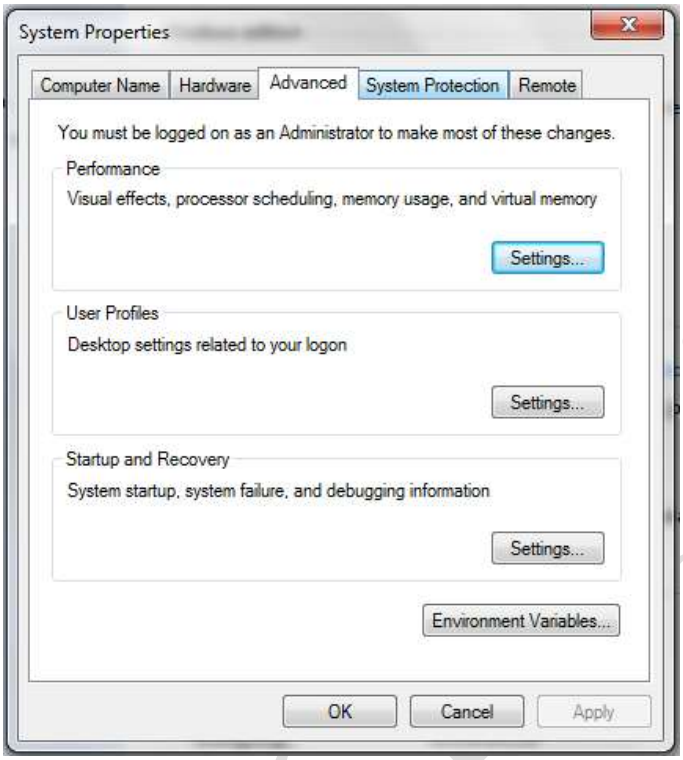
سپس گزینه‌ی تنظیمات پیشرفته‌ی سیستم[۱] را انتخاب نمایید.



شکل (۶ ۳) انتخاب تنظیمات سیستم

[۱] Advanced System Setting

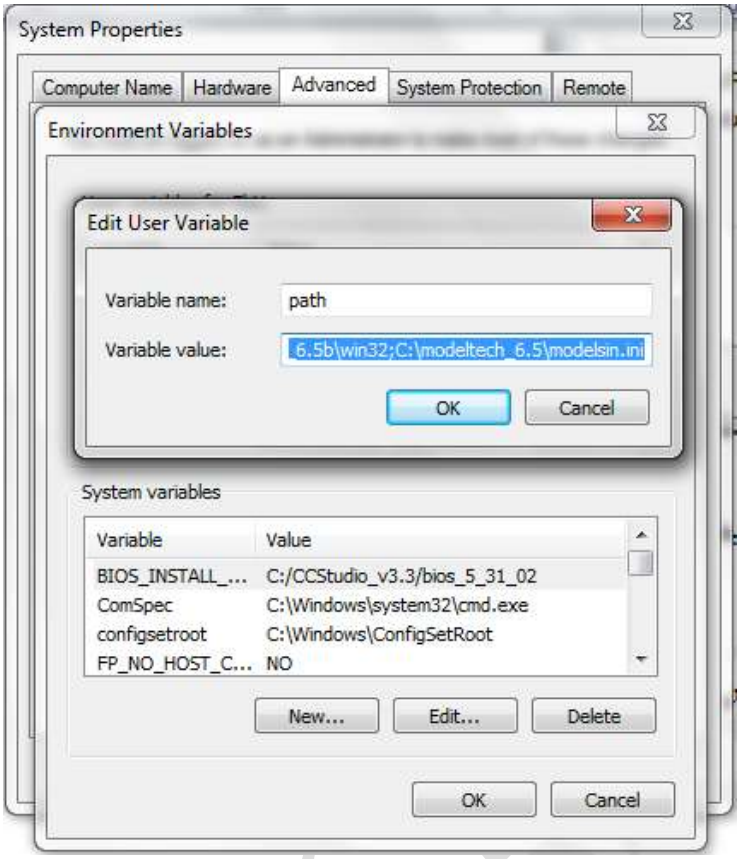
سپس روی متغیرهای محیط کلیک کنید.



شکل (۶ ۴) متغیرهای محیط

در ادامه روی متغیر Path رفته و ویرایش را بزنید. سپس مسیر فایل modelsim.ini را به مقدار متغیر اضافه کنید.

www.ICEEP.ir

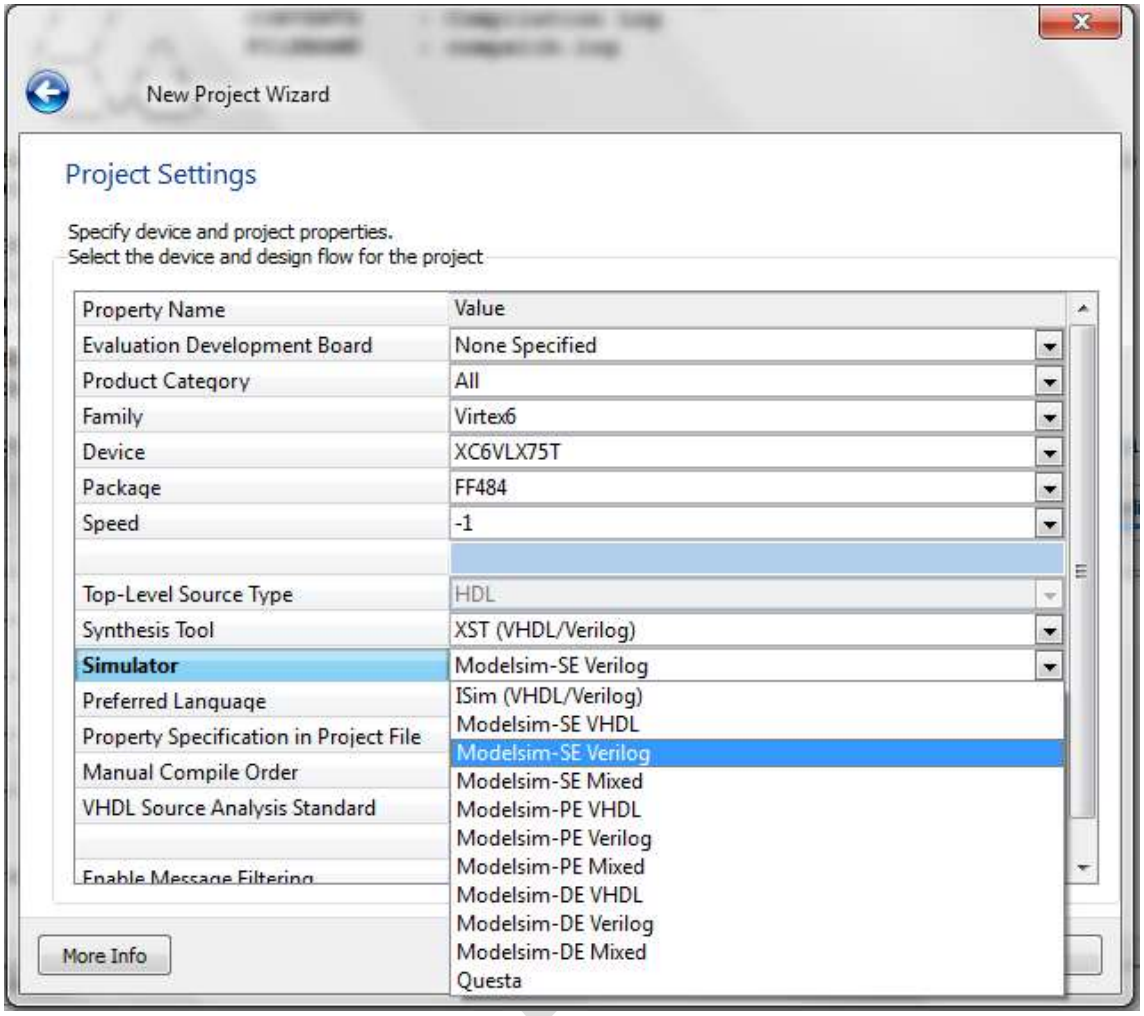


شکل (۶ ۵) تنظیم متغیر Path

پس از انجام این کار باید یک بار تمام کتابخانه‌ها را از طریق هدایتگر پروژه ISE کامپایل کنید. برای این کار مراحل زیر را طی کنید.

اگر در مرحله‌ی تعریف پروژه هستید، در بخش تعریف پروژه برای شبیه‌ساز نسخه‌ی Modelsim نصب شده روی کامپیوترتان را انتخاب کنید.

www.ICEEP.ir

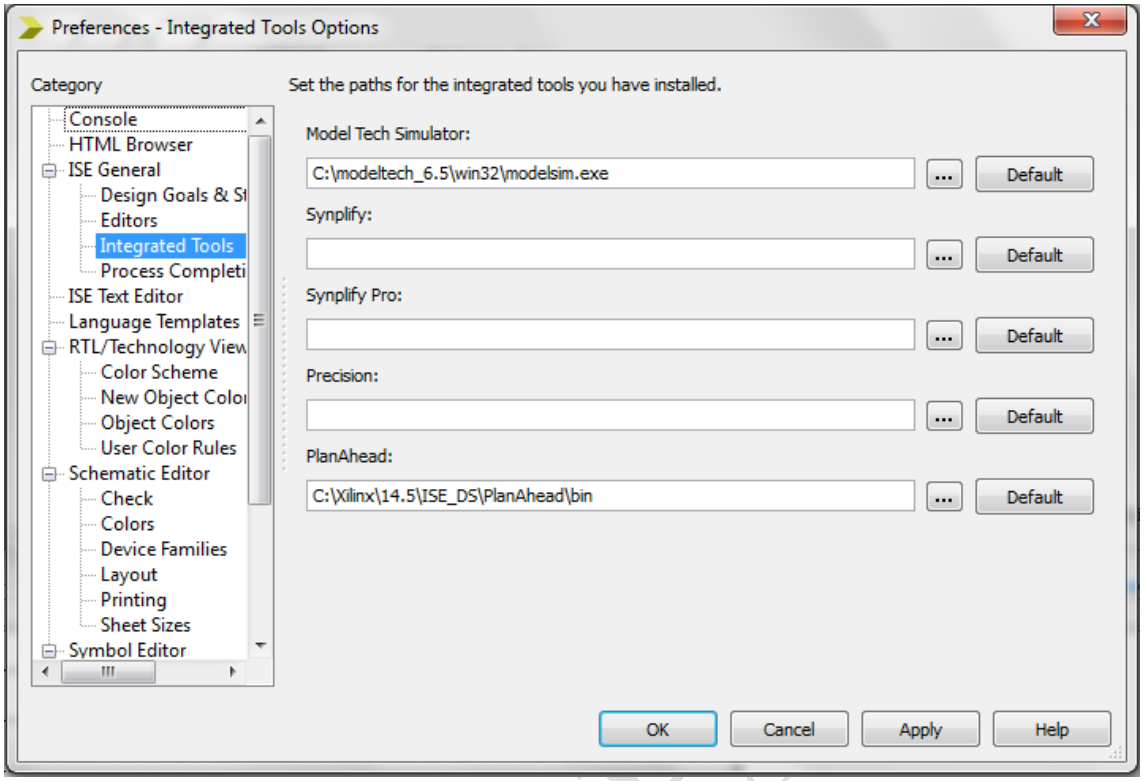


شکل (۶ ۶) انتخاب شبیه‌ساز

اما در صورتی که در قبلا شبیه‌ساز ISim را انتخاب نموده و پس از تعریف پروژه تصمیم به تغییر آن داشته باشید از مسیر Project > Design properties شبیه‌ساز را به Modelsim تغییر دهید.

سپس از مسیر Edit > Preferences به Integrated tools رفته و آدرس فایل اجرایی Modelsim را در بخش شبیه‌ساز وارد کنید.

www.



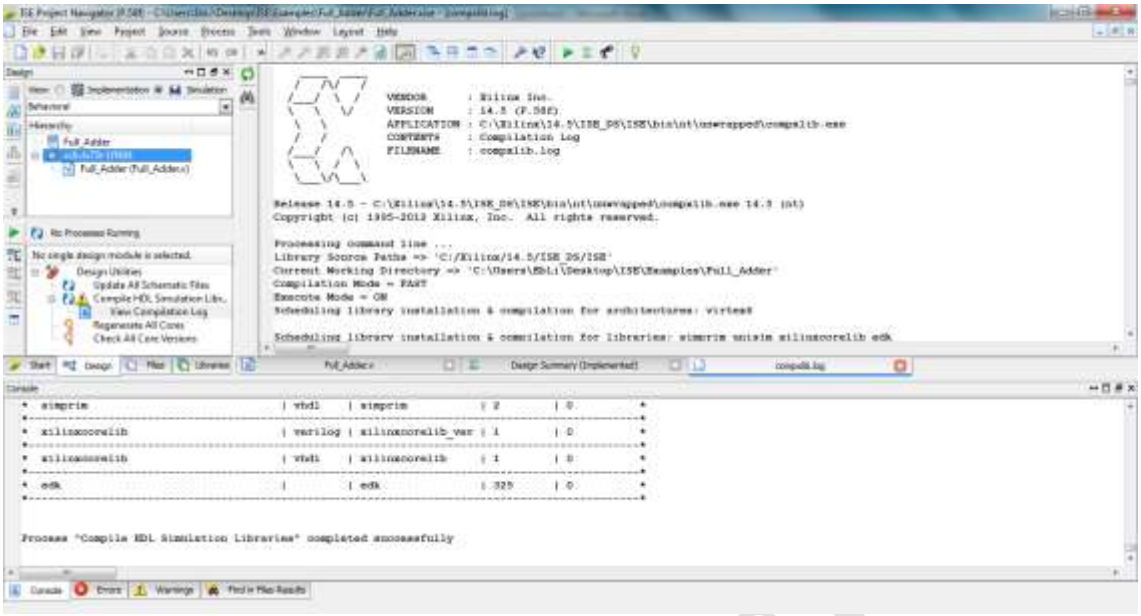
شکل (۶ ۷) معرفی Modelsim به ISE

پس از این مرحله در هدایتگر پروژه در پنجره طراحی، بخش نما، گزینه پیاده‌سازی را به شبیه‌ساز تغییر دهید. سپس در حالتی که فایل پروژه انتخاب شده است، در بخش مصارف طراحی[۱] روی عبارت کامپایل کتابخانه‌های شبیه سازی HDL[۲] دوبار کلیک کنید تا کتابخانه‌ها شبیه‌سازی شود. این عملیات ممکن است از نیم تا چند ساعت طول بکشد. در نهایت تصویری مانند شکل ٦-٨ خواهید دید. ممکن است پس از شبیه‌سازی هشدارها و خطاهایی موجود باشد، آنها را نادیده گرفته و به مرحله‌ی بعد بروید.

[۱] Design Utilities

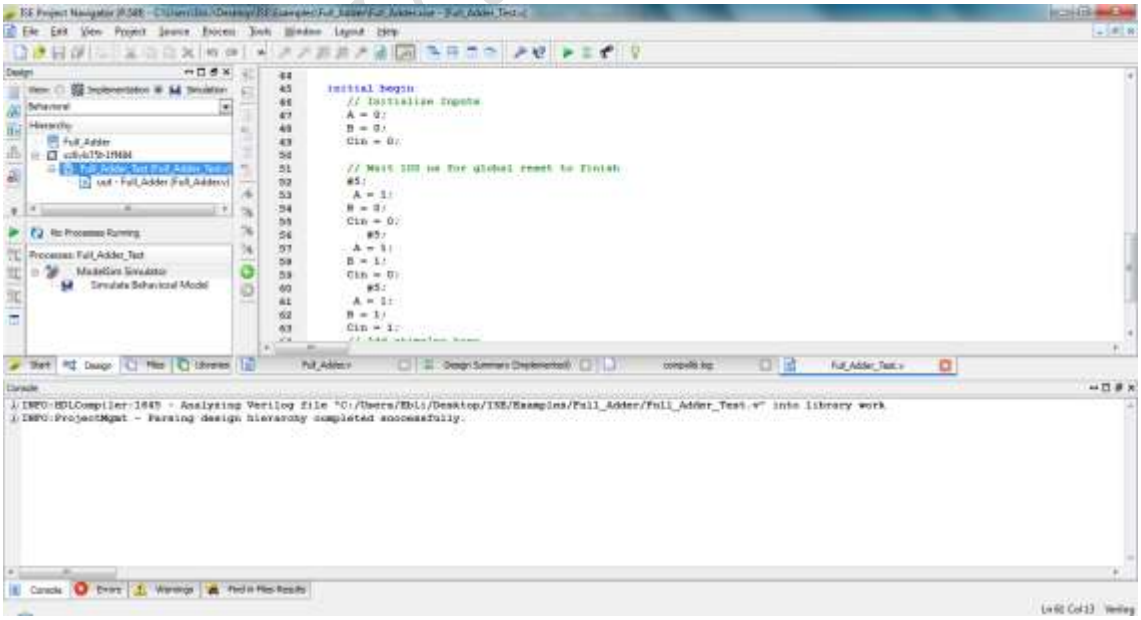
[۲] Compile HDL Simulation Libraries

www.ICEEP



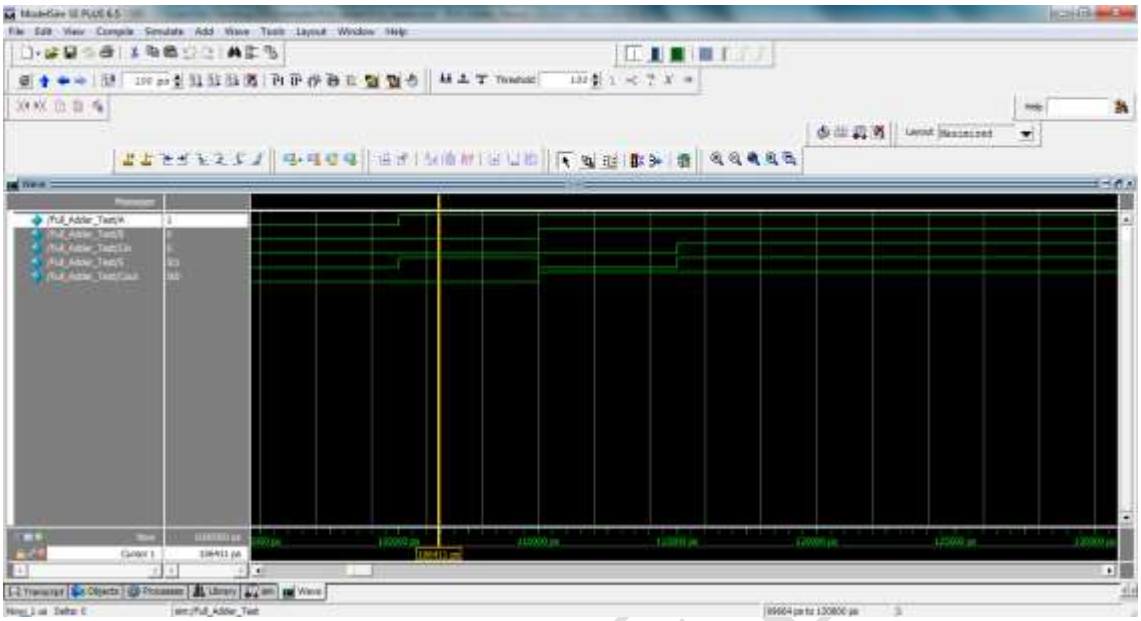
شکل (۶ ۸) شبیه‌سازی کتابخانه‌ها

در نهایت Testbench نوشته شده برای طراحی را به پروژه اضافه کرده و با انتخاب آن، روی گزینه شبیه‌سازی رفتاری مدل بروید. با دو بار کلیک کردن روی آن Modelsim باز خواهد شد و عملیات شبیه‌سازی به Modelsim منتقل می‌شود.



Copyright © 2013 ICEEP, University of Tehran

شکل (۶، ۹) شبیه‌سازی با Modelsim



شکل (۶، ۱۰) شمایی از پنجره‌ی Modelsim

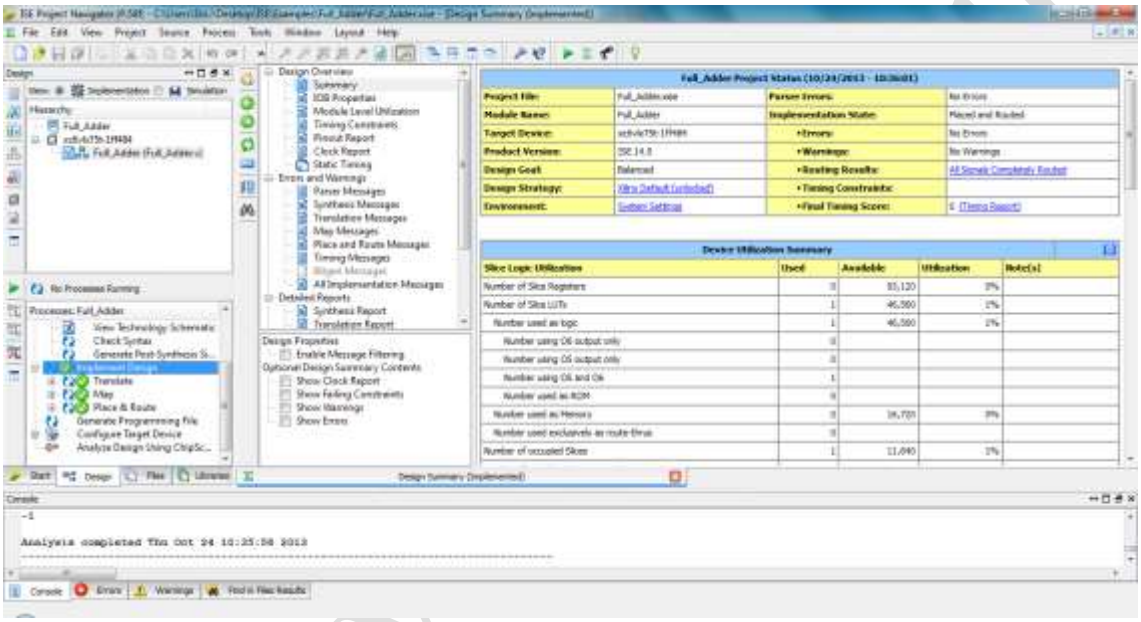
توجه کنید تمام این عملیات یک بار باید طی شود. برای دفعات بعدی نیاز به تنظیم متغیر، معرفی Modelsim به ISE و کامپایل کتابخانه نیست و تنها باید در تعریف پروژه شبیه‌ساز Modelsim انتخاب شده و مرحله‌ی آخر که شبیه‌سازی Testbench با Modelsim است، انجام شود.

www.ICEE

فصل هفتم

پیاده‌سازی

پیاده‌سازی فرآیندی شامل ترجمه[۱]، ترسیم[۲]، جایابی[۳]، مسیر یابی[۴] و تولید فایل Bitstream است. برای مشاهده جزئیات پیاده سازی باید در پنجره‌ی طراحی، روی نمای پیاده‌سازی بروید و در پنجره‌ی فرایندها دو زیر بخش سنتز و پیاده سازی قرار دارد که با اجرای هر بخش از درستی طراحی در هر کدام یک از بخش‌ها مطمئن می‌شوید و یا از خطاهای طراحی آگاه می‌شوید. این تفاوت با علامت ضربدر یا تیک برای هر بخش مشخص می‌شود.



شکل (۷ ۱) فرآیند سنتز و طراحی بدون خطا

با کلیک روی هر بخش از خلاصه طراحی می‌توانید به گزارش‌های مختلف از جمله فرکانس ساعت مدار و تعداد منابع مورد استفاده از FPGA دست یابید.

پیاده سازی شامل بخض های مختلفی است که در اینجا و بخش مهم یعنی اختصاص پایه و

---

۱ Translate

۲ Map

۳ Place

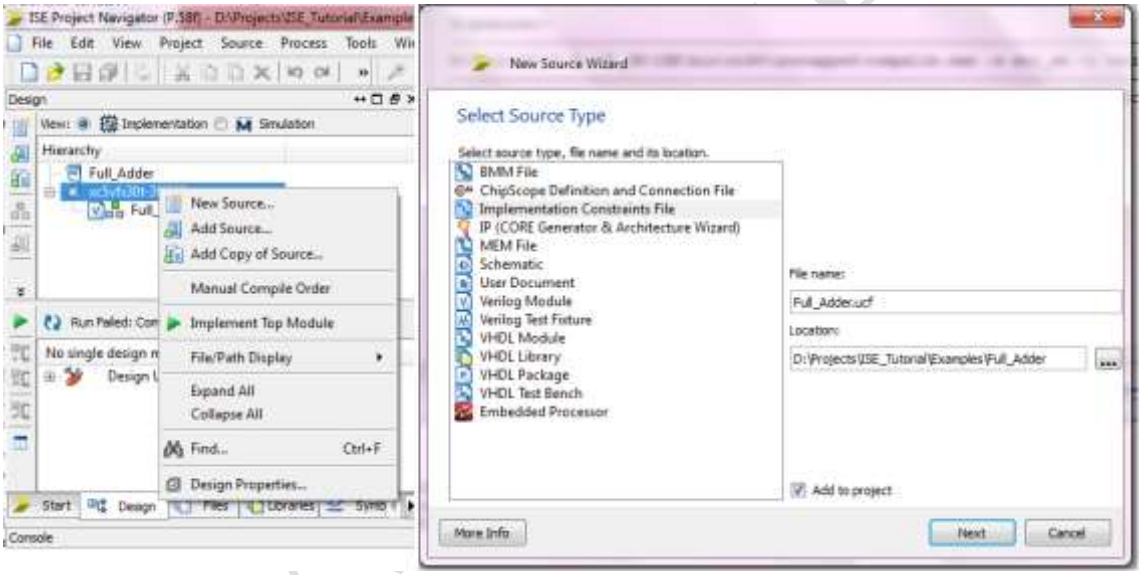
۴ Route

Copyright © 2013 ICEEP, University of Tehran

برنامه‌ریزی روی برد را توضیح می دهیم.

۷-۱- تخصیص پایه

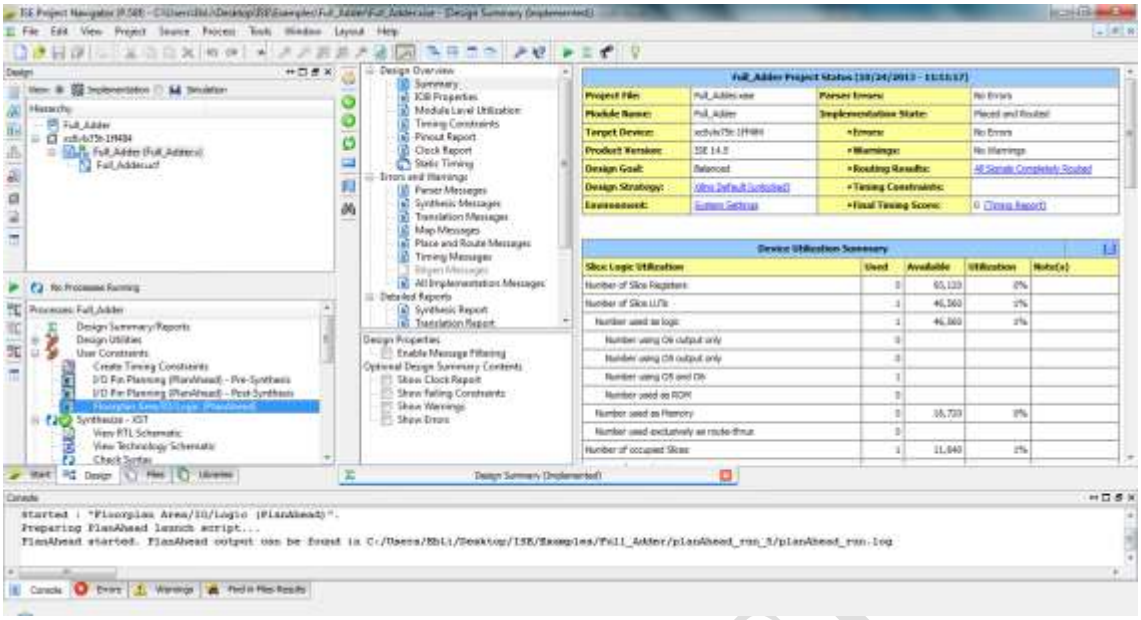
برای انجام عملیات تخصیص پایه ابتدا با راست کلیک روی پروژه گزینه‌ی منبع جدید را اضافه کرده و یک فایل از نوع فایل محدودیت پیاده سازی[۱] انتخاب کرده و آن را با نام منبع اصلی و پسوند ucf. ذخیره کنید.سپس گزینه بعدی و اتمام را برگزینید.



شکل (۷ ۲) تولید فایل پیاده سازی

سپس در حالتی که منبع اصلی انتخاب شده است، در پنجره فرآیندها روی Floorplan I/O Logic دو بار کلیک کنید.

[۱] Implementation Constraints File



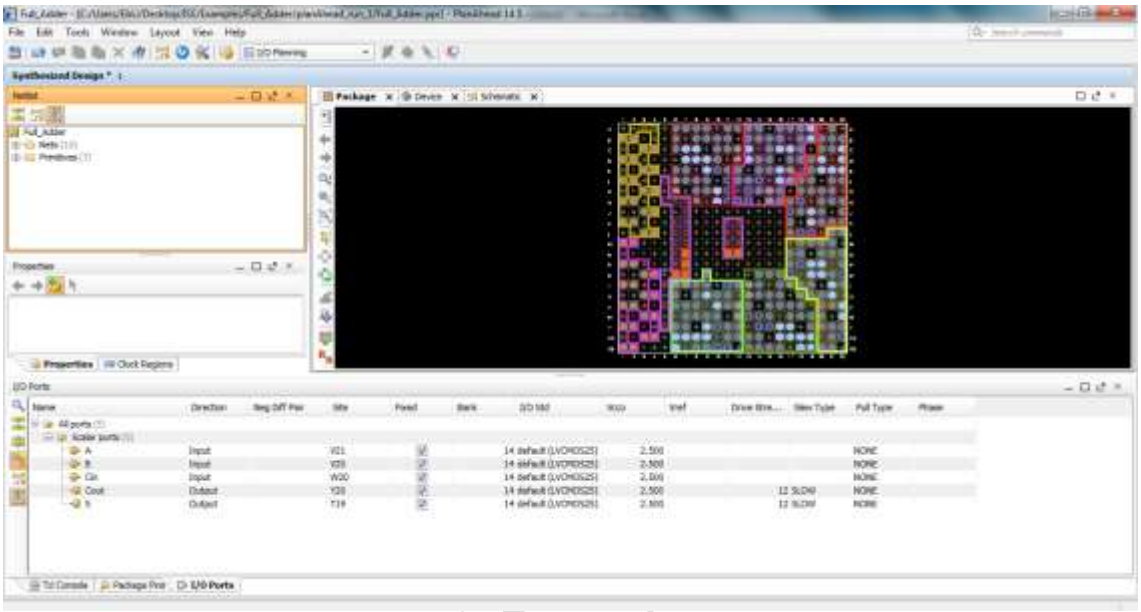
شکل (۷ ۳) باز کردن Floorplan

با انجام این کار پنجره PlanAhead باز می‌شود. از طریق Layout > I/O Planning پنجره Package را باز کنید.

شکل (۷ ۴) پنجره Package

ICEEP

سپس از طریق Tools > I/O Planning > Auto-Place I/O Ports به صورت اتوماتیک عملیات تخصیص پایه را انجام دهید. در این مرحله می‌توانید با داشتن اطلاعات مشخص مکان پایه‌ها را به صورت دستی تعیین کنید.



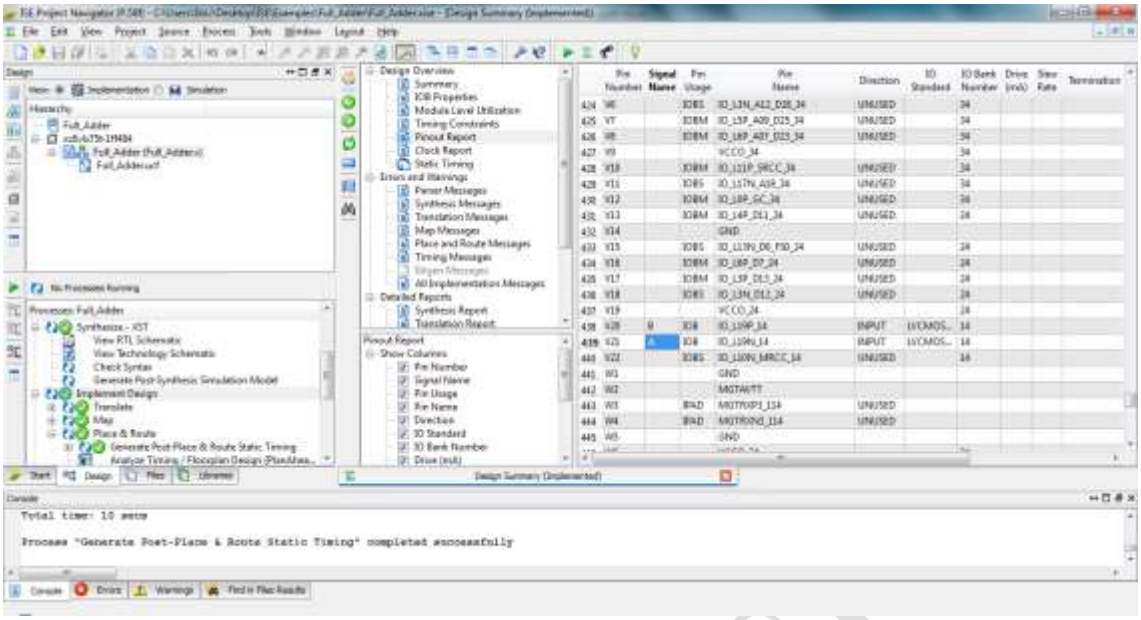
شکل (۷ ۵) تخصیص پایه

در نهایت File > Save Constraints را بزنید و از PlanAhead خارج شوید. با انجام این کار می‌بینید که کنار عبارت پیاده‌سازی طراحی در پنجره فرآیندها، علامت سوال وجود دارد. این به این دلیل است که فایل ucf دچار تغییر شده است و باید پیاده سازی را یک بار دیگر اجرا کنید.

در این مرحله از خلاصه طراحی گزارش پایه[۱] را انتخاب کنید تا نحوه‌ی اختصاص پایه‌ها در FPGA را مشاهده کنید.

[۱] Pinout Report

www.IC



شکل (۷ ۶) گزارش پایه

۷-۲- برنامه‌ریزی[۱] برد

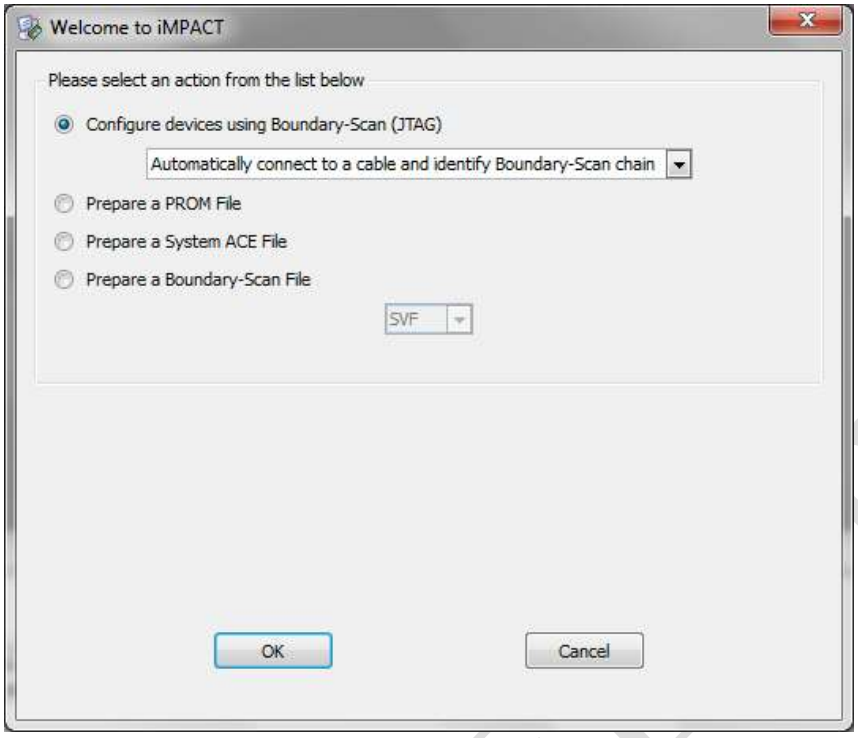
پس از عملیات تخصیص پایه نوبت به برنامه‌ریزی برد می رسد. برای این کار ابتدا سیم تغذیه و برنامه‌ریزی از کامپیوتر را به برد وصل کنید.سپس در حالی که در پنجره‌ی منابع روی گزینه پیاده‌سازی قرار دارید و فایل اصلی را انتخاب کرده‌اید، در پنجره فرآیند ها روی عبارت هیئت‌بندی دستگاه مقصد[۲] دو بارکلیک کنید. در ادامه این کار پنجره ISE iMPACT باز خوهاد شد. از مسیر File > New Project پروژه جدیدی ایجاد کنید. در این قسمت پیام تولید اتوماتیک پروژه را تایید کنید. در ادامه صفحه‌ای مانند شکل زیر باز می شود که باید گزینه‌ی هیئت‌بندی با JTAG را مطابق شکل انتخاب کنید و در کادر پایین آن گزینه اتصال اتوماتیک به سیم و ... را انتخاب نمایید. با زدن تایید پنجره بسته می شود.

---

[۱] Program

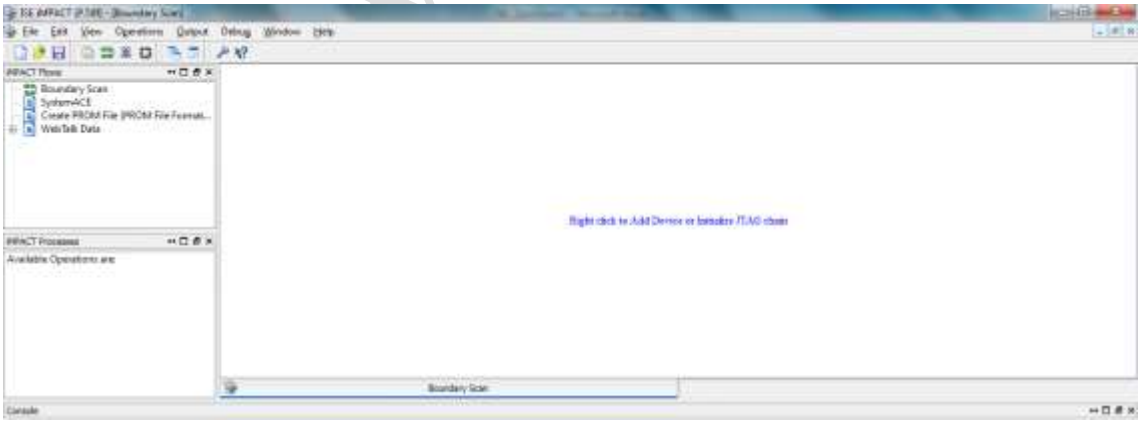
[۲] Configure Target Device

Copyright © 2013 ICEEP, University of Tehran



شکل (۷ ۷) تعیین نوع هیئت‌بندی

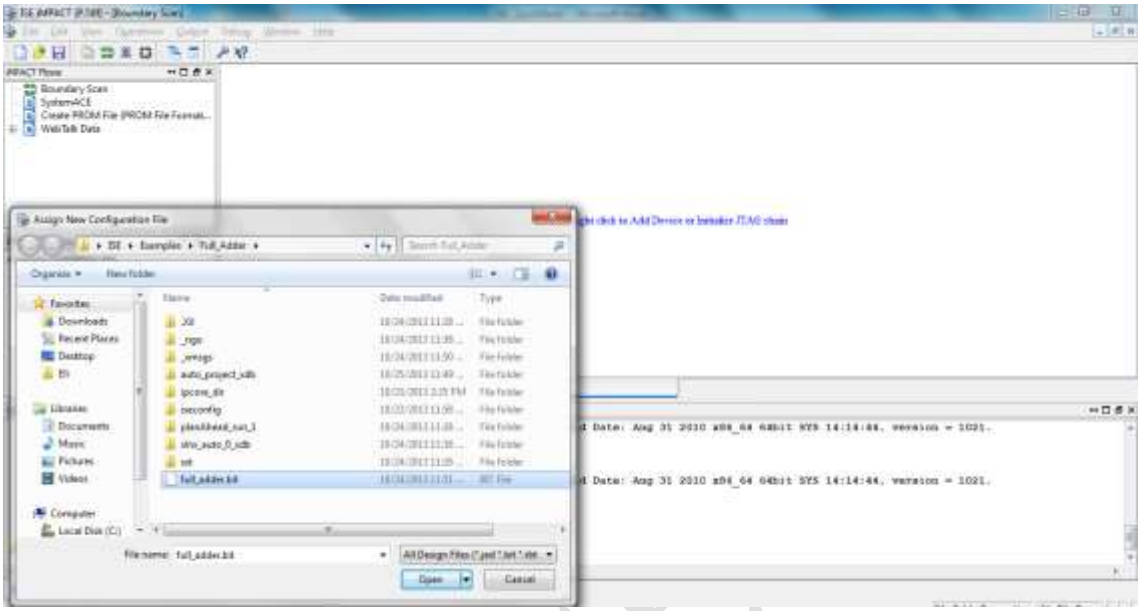
در این مرحله پنجره‌ای مشابه شکل زیر را مشاهده خواهید کرد



شکل (۷ ۸) پنجره کار iMPACT

www.ICEEP.ir

روی بخش سفید پنجره راست کلیک کرده و گزینه افزودن دستگاه[1] Xilinx را انتخاب کنید و در پنجره باز شده فایل Full_Adder.bit را انتخاب و باز کنید.

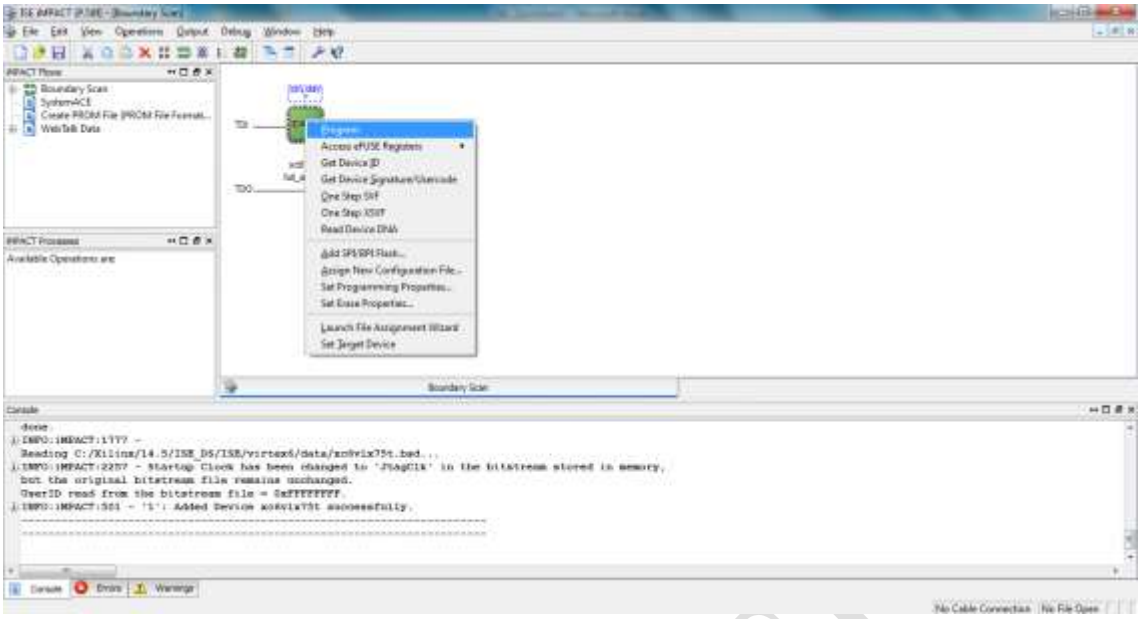


شکل (۷، ۹) انتخاب دستگاه

پس از این کار تصویری مشابه شکل زیر مشاهده خواهید کرد. روی دستگاه Xilinx راست کلیک کرده و برنامه ریزی را انتخاب کنید. در نهایت در صورتی که مشکلی وجود نداشته باشد. عبارت موفقت‌آمیز بودن برنامه ریزی به شما اطلاع داده خواهد شد.

[1] Add Device

www.ICEEP



شکل (۷ ۱۰) برنامه‌ریزی روی دستگاه مقصد

در این مرحله کار به اتمام می‌رسد. شما تا اینجا با عملیات پایه ای در ISE آشنا شدید و می توانید سخت افزار خود را طراحی و روی برد آن را تست کنید. برای کسب اطلاعات بیشتر می توانید به سایت www.ICEEP.ir مراجعه کنید.

www.ICEEP.ir

واژه‌نامه

A	
Add Device	افزودن دستگاه
Add Source	افزودن منبع
Add Wire	افزودن سیم
Advanced System Setting	تنظیمات پیشرفته‌ی سیستم
B	
C	
Cancel	لغو
Comment Block Template	قالب بلوک توضیحات
Complile HDL Simulation Libraries	کامپایل کتابخانه های شبیه‌سازی توصیف سخت‌افزار
Configure Target Device	هیئت‌بندی دستگاه هدف
D	
Device	دستگاه
Design Summary/ Reports	خلاصه و گزارش‌های طراحی
Design Utilities	مصارف طراحی
E	

www.ICEEP.ir

Editor	ویراستار
F	
Finish	اتمام
Full Adder	جمع‌کننده
G	
H	
Hardare Design Level	طراحی در سطح سخت‌افزار
I	
Implementation	پیاده سازی
Implementation Constraints File	فایل محدودیت پیاده‌سازی
Initialize	مقدار دهی اولیه
Instances	نمونه
J	
K	
L	
License	مجوز

www.ICEE

Logic	منطقی
M	
Map	ترسیم
Module Statement	شرح واحد
My Computer	کامپیوتر من
N	
New Project	پروژه‌ی جدید
New Source	منبع جدید
Next	بعدی
O	
Others	غیره
P	
Pin	پایه
Pinout Report	گزارش پایه‌ها
Place	جایابی
Process	فرآیند
Program	برنامه‌ریزی

www.ICEEP.ir

Project	پروژه
Project Commands	دستورات پروژه
Project Navigator Interface	واسط هدایتگر پروژه
Property	ویژگی
Q	
R	
Read Only	فقط دارای قابلیت خواندن
Register Transfer Level	سطح انتقال ثبات
Rename Port	تغییرنام پورت
Route	مسیریابی
RTL View	نمای سطح انتقال ثبات
Run	اجرا کردن
S	
Schematic	شماتیک
Signal	علامت، سیگنال
Simulate Behavioral Model	شبیه‌سازی مدل رفتاری
Simulator	شبیه‌ساز

WWW.ICEEP

Source	منبع
Symbol	نشانه
Syntax	نحو
T	
Top-Level Design	طراحی سطح بالا(بالاترین سطح طراحی)
Transcrip	رونوشت
Translate	ترجمه
U	
V	
View	نما
W	
Waveform	شکل موج
Workspace	فضای کار
X	
Y	
Z	

www.ICEEP.ir