



دانشگاه صنعتی امیرکبیر
دانشکده مهندسی کامپیوتر

راهنمای انجام پروژه درس VLSI (ایجاد Layout با نرم افزار LEDIT و مراحل شبیه سازی آن با Pspice)

تهیه کننده: فرهاد مهدی پور

۱ مقدمه

برای پیاده سازی یک مدار به صورت مدار مجتمع، بایستی ابتدا layout مدار ترسیم شده و سپس یک شبیه سازی بر روی layout حاصل انجام گیرد. برای طراحی مدار در سطح Layout می توان از نرم افزارهای مختلفی استفاده کرد که Ledit یکی از این نرم افزارها می باشد. با استفاده از این نرم افزار می توان طراحی مدار را به صورت دستی و اتوماتیک انجام داد. برای شبیه سازی نیز، بایستی در ابتدا توصیف مدار طراحی شده در Ledit به صورت یک نت لیست استخراج شود. این نت لیست به عنوان ورودی نرم افزارهای شبیه سازی سطح پائین مانند Pspice مورد استفاده قرار می گیرد. در ابتدا با روش های طراحی مدار در سطح layout به دو روش دستی و خودکار و سپس با نحوه استخراج نت لیست مدار جهت تحلیل در Pspice آشنا خواهید شد.

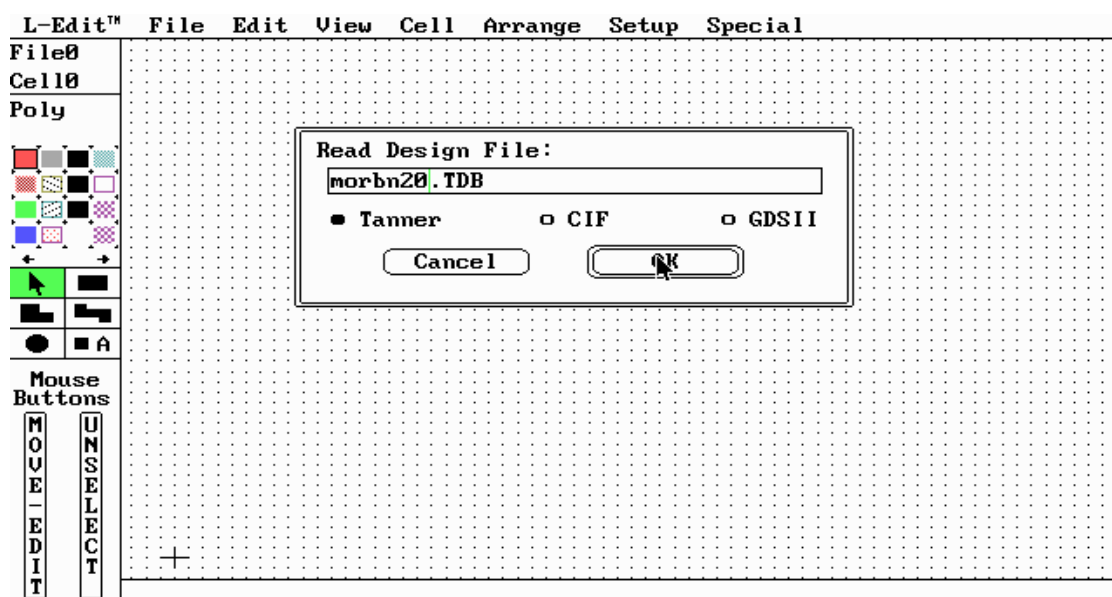
۲ ترسیم دستی Layout

رسم Layout در محیط LEDIT بایستی مبتنی بر یک تکنولوژی خاص انجام گیرد. در یک فایل تکنولوژی که با پسوند tdb مشخص می شود و به عنوان یک فایل کتابخانه ای نیز می باشد، مواردی از قبیل رنگ و قوانین طراحی مربوط به لایه های مختلف به همراه تعدادی از اجزای لازم برای طراحی مدار (در سطح layout) و یا تعدادی سلول از پیش طراحی شده تعریف می شوند. نرم افزار LEDIT دارای تعدادی فایل تکنولوژی نمونه می باشد (از قبیل scmosmmmin.tdb , morbn۲۰.tdb). به عنوان مثال morbn۲۰.tdb فایل تکنولوژی ۲ میکرون ارائه شده توسط شرکت Orbit Semiconductor است که از آن می توان برای تولید layout استفاده نمود. برای رسم layout ابتدا، فایل تکنولوژی مورد نظر را با استفاده از منوی File، گزینه Open و با وارد کردن نام فایل (و در صورت لزوم مسیر قرار گرفتن آن) به ترتیبی که در شکل ۱ مشاهده می کنید باز کنید.

حال نوبت آن است که مدار خود را در سطح layout، بر اساس تکنولوژی که انتخاب نموده اید طراحی کنید. برای این منظور با استفاده از گزینه New در منوی File، یک فایل جدید ایجاد کنید. این فایل از نوع tdb خواهد بود. نام فایل با اجرای گزینه New مورد سؤال قرار خواهد گرفت که بایستی از یک نام دلخواه و غیر تکراری استفاده کنید.

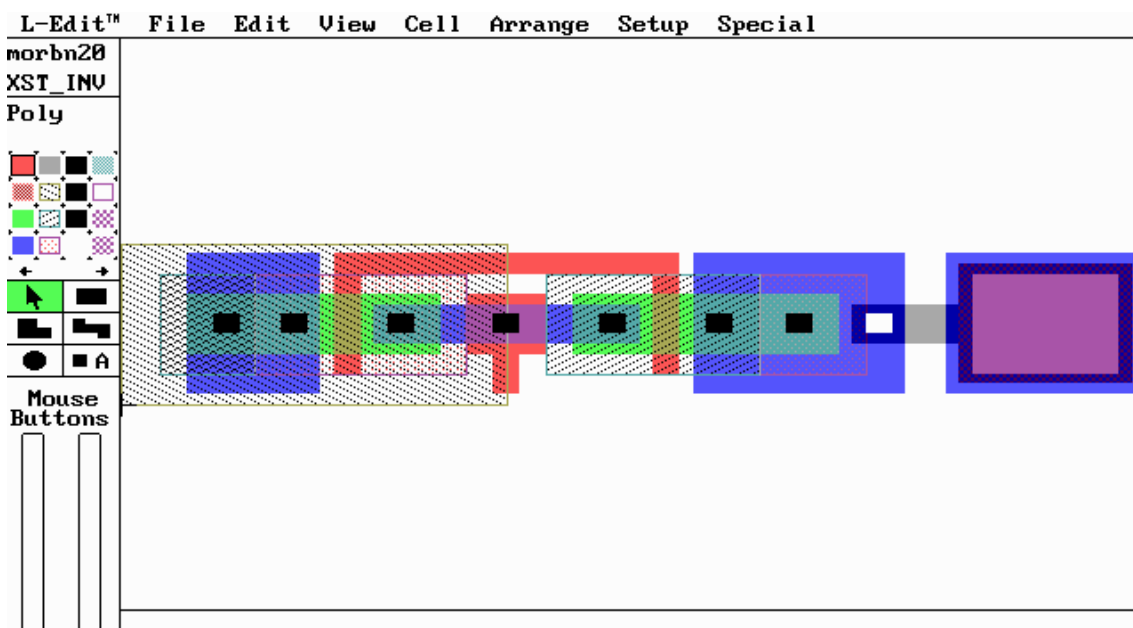
همانطور که در شکل ۱ نیز مشاهده می کنید. در سمت چپ صفحه تعدادی مستطیل رنگی وجود دارد. هر یک از مربع های رنگی بیانگر یک لایه و یا جزء مورد نیاز برای طراحی layout است که با حرکت اشاره گر ماوس بر روی هر یک از این مربع ها نام آن در پائین صفحه نمایش و نیز در بخش بالای این مربع ها نمایش داده می شود. علاوه بر این می توان لایه مورد نظر را با اشکال مختلف همانطور که در سمت چپ صفحه نمایش مشاهده می شود ترسیم نمود. برای این منظور کافی است در ابتدا، لایه مورد نظر و سپس شکل دلخواه را انتخاب نموده و بر روی بخش میانی و اصلی محیط Ledit آن را با ابعاد دلخواه ترسیم کنید. در زمان رسم لایه ها به اطلاعاتی که در بخش پائین صفحه نمایش دیده می شود (از قبیل نام لایه و ابعاد آن) توجه کنید.

بخش طراحی مدار به گونه‌ای است که به شکل مشبک (grid) بوده و فاصله بین هر دو نقطه بیانگر یک لامبدا است. در صورتیکه صفحه به شکل مشبک دیده نمی‌شود با استفاده از کلیدهای + و - می‌توانید اندازه صفحه را تغییر دهید (Zoom in و Zoom out) تا به حالت مشبک دیده شود.



شکل ۱: پنجره مربوط به گزینه Open از منوی File برای باز کردن فایل تکنولوژی

توصیه می‌شود، قبل از شروع برای رسم layout به مثالهای طراحی موجود توجه کنید. برای این منظور می‌توانید سلول‌های از پیش تعریف شده موجود در فایل تکنولوژی را مشاهده کنید. کافی است گزینه Open در منوی Cell را اجرا کنید. در این صورت، لیستی از سلول‌ها نمایش داده می‌شود که می‌توانید، یکی از سلول‌ها را انتخاب کرده و سپس بر روی دکمه OK کلیک کنید. به عنوان مثال اگر شما در فایل کتابخانه‌ای morbn۲۰.tdb سلول XST_INV را انتخاب نموده باشید، مطابق با شکل ۲، layout آن نمایش داده خواهد شد. برای آشنایی بیشتر با جزئیات Layout رسم شده، می‌توانید با استفاده از ماوس بر روی لایه‌های مورد نظر کلیک کرده و سپس با نگهداشتن کلید ALT و کشیدن ماوس آن را بر روی صفحه Layout جابجا کنید. با این ترتیب خواهید توانست لایه‌های مختلف را به طور جداگانه مشاهده کنید. حرکت بر روی صفحه layout با استفاده از کلیدهای جهت امکانپذیر است.



شکل ۲: مثالی از layout یک سلول موجود در فایل کتابخانه‌ای

۳ استفاده از ابزارهای خودکار طراحی layout

ترسیم دستی layout برای مدارهای بزرگ تقریباً غیرممکن و یا حداقل بسیار دشوار است. طراحی یک مدار در سطح layout را می‌توان به صورت خودکار و با بهره‌گیری از امکانات موجود در نرم‌افزار LEDIT و با سبک سلول استاندارد انجام داد. در سبک سلول استاندارد، از سلول‌های هم ارتفاع استفاده می‌شود که در چند ردیف در layout قرار می‌گیرند. برای انجام این کار مراحل زیر را می‌توانید مراحل زیر را طی کنید.

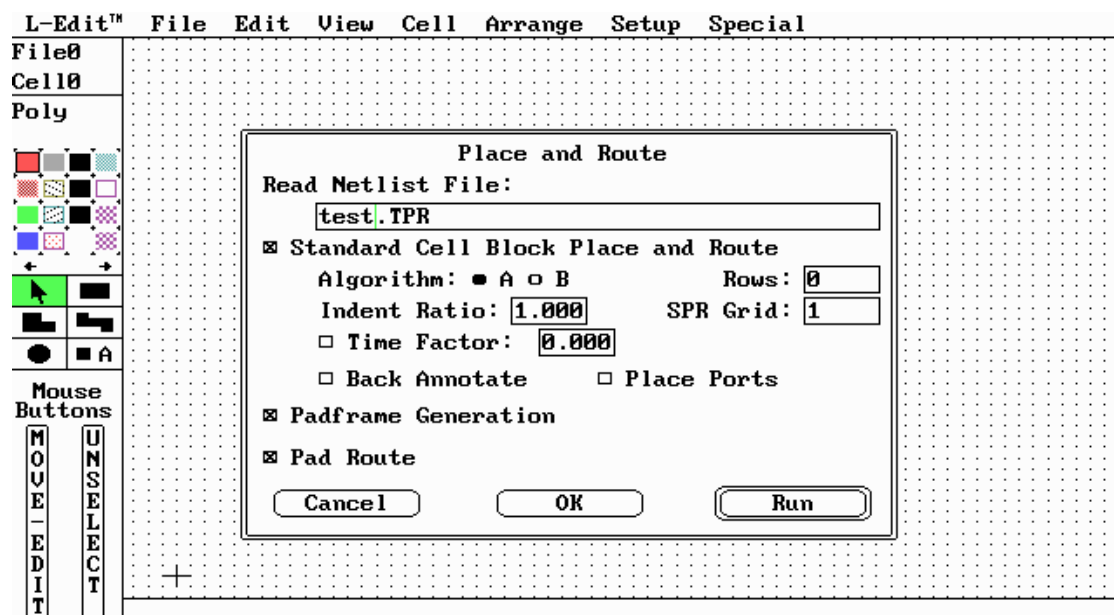
– ابتدا نت لیست مدار را بطور کامل بنویسید. فرض بر این است که مدار مورد نظر شما بر پایه گیت‌ها و سلول‌های موجود در فایل کتابخانه‌ای بیان شده است. نت لیست بایستی به فرمت TPR باشد و فایل نت لیست دارای پسوند TPR خواهد بود. برای نوشتن نت لیست به فرمت TPR به مثالهای موجود در LEDIT توجه کنید (به عنوان مثال به فایل MuxrtC.tpr مراجعه نمایید). تعریف هر سلول با این فرمت، در دو خط به شکل زیر بیان می‌شود. در خط اول حرف C برای سلول و یا CP برای سلول‌های PAD (برای ایجاد اتصالات ورودی/خروجی) ذکر می‌شود. سپس نام سلول مورد استفاده بر اساس آنچه که در فایل کتابخانه سلولی تعیین شده است می‌آید. اسامی سیگنالهای ورودی و خروجی سلول مورد نظر در انتها ذکر می‌شود. در خط دوم به نمونه مورد استفاده از سلول یک نام دلخواه انتساب داده می‌شود. سپس اسامی سیگنالهای متناظر با ورودی و خروجی‌های سلول (مطابق با آنچه که در مدار توسط طراح تعیین شده است) ذکر می‌شود.

مثال:

```
C inv a OUT ;
U1<0 S_1 BLIF_۱۵۴ ;
C NAND2C A B OUT۱ ;
```

U2<۰ BLIF_۱۵۴ F BLIF_۲۲۳ ;

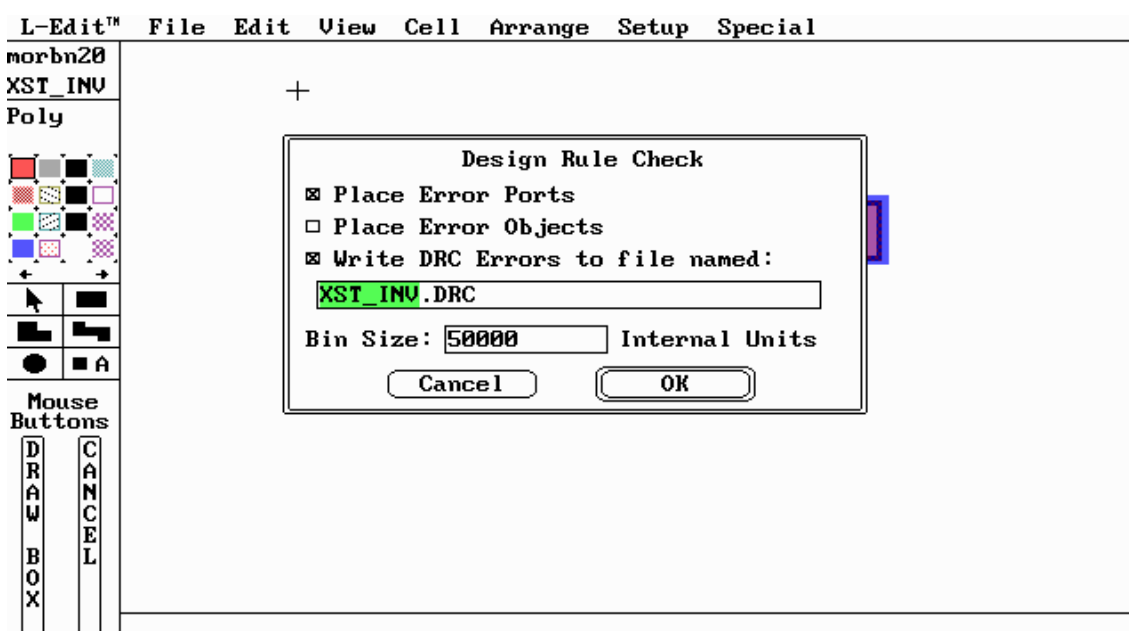
- در مرحله بعد بایستی Layout نهایی مدار را با استفاده از امکانات موجود در LEDIT بدست آورید. برای این منظور مراحل ذکر شده در بخش زیر را در نرم افزار LEDIT اجرا نمایید.
- از منوی File گزینه Open را انتخاب کنید و نام فایل کتابخانه‌ای خود را (مثلاً Scmosmin.tdb) انتخاب کنید (به همراه انتخاب گزینه Tanner که بیانگر فرمت فایل کتابخانه‌ای می‌باشد). با انجام این مرحله شما یک فایل کتابخانه‌ای را باز کرده‌اید.
- با استفاده از منوی File (گزینه New) یک فایل Tdb جدید ایجاد کنید که در اینصورت فایل Tdb مربوط به مدار جاییابی و مسیریابی شده در آن قابل ذخیره سازی خواهد بود.
- حال در ادامه به سراغ منوی Special بروید. یکی از گزینه‌های منوی Special، گزینه Place and route است. با انتخاب این گزینه یک پنجره محاوره‌ای مطابق شکل ۳ باز می‌شود که به معرفی ابزارهای مهم آن می‌پردازیم:
- Read NetList File : در این قسمت باید نام فایل نت لیست خود را وارد کنید (به همراه مسیر آن اگر در محل دیگری به غیر از محل نصب Ledit باشد). به عنوان یک نمونه آزمایشی نام فایل MUX۳TAC.TPR را که در همان مسیر و یا در شاخه Examples قرار دارد را می‌توانید وارد کنید.
- Standard Cell Bloke Place and Route که بایستی آنرا فعال کنید.
- می‌توانید یکی از دو الگوریتم A و B را انتخاب نمایید که B، پاسخ‌های دقیق‌تری را فراهم می‌کند.
- Rows تعداد ردیفهای Standard Cell را نشان می‌دهد که در صورتیکه صفر باشد، مقدار مناسب برای آن توسط برنامه انتخاب می‌شود.
- Time Factor: مقداری بین ۰ و ۱ می‌تواند داشته باشد. هر چه این مقدار به ۱ نزدیک‌تر باشد الگوریتم زمان بیشتری را برای پیدا کردن پاسخ‌های بهتر سپری خواهد کرد.
- Place Ports : این گزینه امکان قرار دادن پورت در اطراف مدار را فراهم می‌کند .
- Back Amotate : زمانی از این گزینه استفاده می‌شود که بخواهید در ادامه جاییابی و مسیریابی انجام شده یک مرحله دیگر را نیز با تحلیل زمانی دقیق‌تر انجام دهید.
- Padframe generation : اگر برای مدار خود Pad های ورودی و خروجی را تعریف کرده باشید در اینصورت می‌توانید این گزینه را فراهم کنید در غیر این صورت آن را غیر فعال نمائید.
- در نهایت گزینه Run را انتخاب نمایید تا جاییابی و مسیریابی انجام شود.
- نکته : در صورتیکه در ضمن اجرای مراحل جاییابی و مسیریابی پیغامهایی صادر شده می‌توانید با انتخاب دکمه Continue، فرآیند را ادامه دهید.



شکل ۳: پنجره مربوط به فرآیند Placement & Routing

۴ بررسی قوانین طراحی (Design Rule Checking)

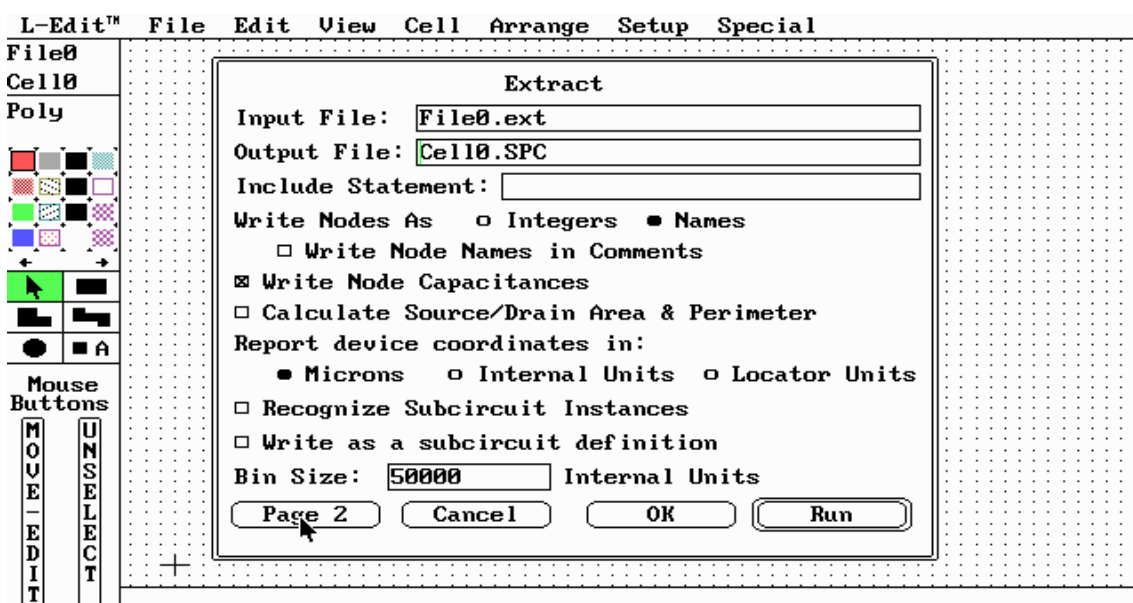
بعد از بدست آوردن layout، لازم است، صحت قوانین طراحی به کار رفته در آن بررسی شود. برای این منظور بایستی، گزینه DRC را از منوی Special اجرا کنید. در صورت وجود خطا، پیغام‌های مربوط به خطاهای موجود در یک فایل که نام آن مطابق با شکل ۴ به طور پیش فرض دارای پسوند DRC است قابل مشاهده خواهد بود.



شکل ۴: پیغام‌های خطای موجود در طراحی در یک فایل نوشته می‌شود.

۵ استخراج نتلیست از layout و شبیه‌سازی آن

برای شبیه‌سازی مدار، بایستی استخراج نتلیست مدار در سطح ترانزیستورها، خازنها و غیره انجام شود. در استخراج اجزای مدار، مواردی همچون اثرات خازنی نیز در نظر گرفته می‌شوند. در نرم‌افزار LEDIT، می‌توان استخراج نتلیست مدار را با اجرا گزینه Extract از منوی Special انجام داد. برای انجام این مرحله لازم است که حتماً در ارتباط با فایل تکنولوژی مورد استفاده خود یک فایل با همان نام و پسوند ext. داشته باشید. این فایل اطلاعات لازم برای ایجاد فایل نتلیست را فراهم می‌کند (مثلاً اگر شما برای طراحی layout خود از فایل morbn۲۰.tdb استفاده کرده‌اید لازم است که فایل morbn۲۰.ext را نیز داشته باشید). مطابق با شکل ۵، یک پنجره ظاهر می‌شود که در ابتدا باید نام فایل ext و سپس فایل خروجی را وارد کنید. نتلیست حاصل بر روی فایل خروجی ایجاد می‌شود و بهتر است پسوند آن cir. انتخاب شود. با کلیک کردن ماوس بر روی دکمه Run فایل خروجی ایجاد خواهد شد.



شکل ۵: پنجره مربوط به استخراج نتلیست ورودی Pspice

در ادامه بایستی شبیه‌سازی مدار در Pspice را انجام دهید. برای این منظور نرم‌افزار Pspice AD را در محیط Windows اجرا کنید. فایل خود را با استفاده از گزینه Open Simulation از منوی File باز کنید. سپس موارد زیر را در ابتدای فایل اضافه کنید:

.lib "cmos۰۸.lib"	(برای معرفی فایل کتابخانه‌ای)
.param power=۵V	(برای تعریف پارامتر ولتاژ منبع تغذیه)
.VDD v_vdd ۰ DC {power}	(برای تعریف نود منبع ولتاژ)
.tran ۱۰ps ۲۰ns	(دوره زمانی لازم برای شبیه‌سازی که به دلخواه تعیین می‌شود)

در انتهای فایل نیز، قبل از END عبارت Probe را اضافه کنید.

نکته‌ای که ذکر آن ضروری است این است که در نت‌لیست موجود، اسامی نودها با شماره بیان شده است. در این نت‌لیست اتصالات VDD و زمین وجود ندارد. از اینرو باید تمامی نودهای از این نوع رایافته و با استفاده از یک مقاومت بسیار کوچک به VDD و یا ولتاژ ۰V متصل کنید. مثلاً فرض کنید، نود شماره ۹ در مدار بایستی به VDD اتصال یابد برای این منظور عبارت ۱OHM ۹ v_vdd R۱ را وارد کنید. در این صورت یک مقاومت با مقدار یک اهم بین نود v_vdd و نود مورد نظر قرار خواهد گرفت. روش دیگر که بدون قرار دادن مقاومت صورت می‌گیرد، این است که به جای تمامی نودهای متصل به VDD از نام v_vdd استفاده گردد. نمونه‌ای از یک نت‌لیست که مربوط به یک اینورتر است را در شکل ۶ مشاهده می‌کنید.

```
.LIB "cmos.lib"
.param power=5v
v_vdd          Vdd dc {power}
.tran ۱۰ps ۲۵ns
C۱ ۱۴ ۰ ۱۸.۲FF
C۲ ۱۱ ۰ ۱۸.۹۳۲FF
C۳ ۱۰ ۰ ۳۰.۸۱FF
×WARNING: Node۶ has zero capacitance.
C۵ ۱۰ ۱۰ ۳.۹FF
×C۵ Plus Minus (۶۳ ۲ ۷۶ ۱۴) A = ۱۵۶
×Pins of element D۶ are shorted:
×D۶ ۱۰ ۱۰ D_lateral
×D۶ Plus Minus (۴۷ ۵ ۴۸ ۱۱) A = ۶, W = ۱۰
×Pins of element D۷ are shorted:
×D۷ ۱۱ ۱۱ D_lateral
×D۷ Plus Minus (۹ ۵ ۱۰ ۱۱) A = ۶, W = ۱۰
M۸ ۱۱ ۶ ۱۴ ۱۱ PMOS L=۲U W=۶U
×M۸ Drain Gate Source Bulk (۱۶ ۵ ۱۸ ۱۱) A = ۱۲, W = ۶
M۹ ۱۴ ۶ ۱۰ ۱۰ NMOS L=۲U W=۶U
×M۹ Drain Gate Source Bulk (۴۰ ۵ ۴۲ ۱۱) A = ۱۲, W = ۶
×Vdd Connection
R۱ ۱۱ vdd ۱
×Vss Connection
R۲ ۱۰ ۰ ۱
R۳ ۶ vdd ۱
×Total Nodes: ۴؛
×Total Elements: ۹؛
```

شکل ۶: نت لیست مربوط به اینورتر CMOS مبتنی بر (XST_INV)morbn۲۰